

フィールドテストのための完全デジタル温度電圧モニタに関する研究

| | |
|----------|---|
| 著者 | 三宅 庸資 |
| その他のタイトル | A Fully-Digital Temperature and Voltage Monitor for Field Teat |
| 学位授与年度 | 平成28年度 |
| 学位授与番号 | 17104甲情工第314号 |
| URL | http://hdl.handle.net/10228/00006069 |

フィールドテストのための
完全デジタル温度電圧モニタ
に関する研究

三宅 庸資

内容梗概

VLSI の高機能化や高性能化，製造プロセスの微細化など，半導体製造技術の進歩の一方で，物理的な劣化現象が信頼性に影響を及ぼす重大な要因となっている．そのため，劣化による故障を事前に検知し，障害発生による突然のシステムダウンを回避することが重要となる．劣化の進行はシステムの運用状況に依存するため製造テストでの検出は困難であり，劣化により生じる故障に対しては出荷後のフィールドでのテストが有用である．VLSI の劣化現象として回路遅延の増加が知られているが，遅延値は温度や電圧等の環境要因により変動するため，劣化による遅延増加を測定するには，VLSI 動作時の温度と電圧のモニタリングが必要不可欠となる．

温度や電圧のオンチップセンサ技術は様々な手法が提案されている．例えば，一般的な温度センサとして実用化されているサーマルダイオード等を利用した温度センサは高い測定精度を実現できるが，アナログ回路を利用しているため，チップ内でのモニタ配置の物理制約が厳しく，チップのホットスポット把握の為に多数箇所へ搭載することが困難である．他にも様々な手法が提案されているが，これらの温度や電圧センサは，システムを長期間稼働させ続けた際に発生する劣化現象への対策が施されていないなど，フィールドテストに用いるセンサとしては不向きである．

本論文では，フィールドにおける高精度なオンチップ温度電圧測定手法を確立させることを目的とし，完全デジタル設計が可能なリングオシレータ(RO: Ring-Oscillator) を核とする温度電圧モニタについて提案する．提案モニタは RO の動作周波数が温度や電圧によって変動する特性を利用する．本論文では，複数種類の特性の異なる RO から構成されるモニタを提案し，各 RO の周波数と温度の特性，周波数と電圧の特性に対して，重回帰分析を用いることにより，システム運用時の温度・電圧変動による周波数の変化量からチップ内の温度と電圧が計算可能となることを示す．製造された VLSI は製造バラツキの影響を受けるため，提案モニタに搭載する RO の動作周波数は製造バラツキの

影響を受けて変動し、温度と電圧の測定精度が低下する。製造バラツキの影響により生じる誤差を低減するため、初回測定時における周波数測定値と標準環境での周波数測定値の比率を利用したキャリブレーション手法を提案する。そして、製造バラツキが存在していても、精度良く RO 周波数からチップ内の温度と電圧の測定が可能となることを示す。RO として利用可能な論理回路は様々な種類があり、それらの RO の組合せによって温度と電圧の測定精度が変動する。本論文では、利用可能な RO から温度電圧モニタとして精度の良い 3 種類の組合せを選択する手法を提案し、温度と電圧が高精度で測定可能となる RO が選択可能なことを示す。提案モニタは完全デジタル設計であるため、標準的なセルライブラリで提供された論理セルだけで構成することができ、設計や製造におけるコストが小さい。また、モニタ自身に対する劣化現象の影響を避けるため、提案モニタを構成する RO は耐 NBTI (Negative Bias Temperature Instability) 劣化の構造を実現している。

本論文では、180nm と 90nm, 45nm の CMOS テクノロジーを用いた回路シミュレーションを用いて提案手法の測定精度や有効性の評価を行う。180nm CMOS テクノロジーにおいて、0~120℃の温度範囲および 1.65~1.95V の電圧範囲で、0.99℃の温度測定精度、4.17mV の電圧測定精度を持ち、温度と電圧を同時に測定可能なデジタルモニタであることを示す。また、回路シミュレーションを用いた評価だけでなく、提案モニタを搭載したチップを設計し、試作を行う。試作チップから得られる RO の温度電圧変化特性を測定し、提案手法を適応することで、チップ内の温度と電圧が測定できることを示す。そして、モニタで測定した温度や電圧の測定結果に対する妥当性の評価を行い、温度電圧モニタとして実現可能であることを示す。

提案する温度電圧モニタを用いることで短時間測定可能でかつ小規模なモニタを実現でき、チップの高信頼化のみならず、医療用機器や IoT (Internet of Things) 機器の環境モニタ等、様々な応用も期待できる。

目次

| | |
|--------------------------------------|-----|
| 内容梗概 | i |
| 目次 | iii |
| 図目次 | v |
| 第 1 章 序論 | 1 |
| 1.1 研究の背景 | 1 |
| 1.2 研究の目的 | 2 |
| 1.3 論文の構成 | 3 |
| 第 2 章 LSI のテストと信頼性 | 4 |
| 2.1 信頼性設計 | 4 |
| 2.2 フィールドにおける信頼性確保 | 6 |
| 2.3 フィールドでの遅延測定における温度と電圧の影響 | 7 |
| 2.4 フィールドにおける温度電圧モニタの役割 | 8 |
| 2.5 フィールドテストのモニタとして要求される機能 | 8 |
| 第 3 章 リングオシレータを利用した温度電圧測定 | 10 |
| 3.1 概説 | 10 |
| 3.2 重回帰分析を利用した温度電圧計算 | 12 |
| 3.3 差分周波数を用いた計算 | 14 |
| 3.4 プロセス変動の影響を低減可能なキャリブレーション手法 | 15 |
| 3.5 温度電圧に対する区間分割 | 19 |
| 3.6 階層的な計算手法 | 22 |
| 3.7 回路シミュレーションによる測定精度の評価 | 24 |
| 3.8 キャリブレーション手法の有効性評価 | 27 |
| 第 4 章 温度電圧モニタ回路 | 30 |
| 4.1 概説 | 30 |
| 4.2 RO における NBTI 劣化 現象 | 30 |
| 4.3 耐 NBTI 劣化の RO 構成 | 31 |
| 4.4 RO 周波数の温度電圧依存性 | 34 |
| 4.5 RO 選択手法 | 36 |
| 4.6 RO 選択手法の評価実験 | 38 |
| 第 5 章 試作チップによる評価 | 44 |
| 5.1 概説 | 44 |
| 5.2 試作チップの構成 | 44 |
| 5.3 測定手順 | 48 |

| | | |
|-------|------------------------|----|
| 5.4 | 実験環境..... | 50 |
| 5.5 | 電圧測定の妥当性検証..... | 51 |
| 5.6 | 温度測定の妥当性検証..... | 52 |
| 5.7 | キャリブレーション手法の有効性検証..... | 55 |
| 5.8 | 測定時間..... | 57 |
| 第 6 章 | 結論..... | 59 |
| | 謝辞..... | 61 |
| | 参考文献..... | 62 |

図目次

| | | |
|--------|--|----|
| 図 2.1 | バスタブ曲線 | 5 |
| 図 2.2 | 遅延測定による劣化検知 | 7 |
| 図 2.3 | フィールドでの測定遅延に対する温度影響 | 8 |
| 図 3.1 | RO の温度電圧特性 | 14 |
| 図 3.2 | RO の温度電圧特性と差分形式 | 15 |
| 図 3.3 | INV 回路における遅延の簡易モデル | 19 |
| 図 3.4 | キャリブレーションによるプロセス変動の影響低減 | 19 |
| 図 3.5 | 区間分割による近似誤差の低減 | 21 |
| 図 3.6 | 実際の温度と計算した温度の関係 | 22 |
| 図 3.7 | プロセス変動による誤差を考慮した区間分割 | 22 |
| 図 3.8 | 階層的な温度電圧計算手順 | 24 |
| 図 3.9 | キャリブレーションによるプロセス変動の影響低減の効果 | 29 |
| 図 4.1 | 一般的な RO 構成 | 31 |
| 図 4.2 | 耐 NBTI 劣化の RO 構成 (2 入力 NAND ゲート) | 33 |
| 図 4.3 | TVM の動作モード | 33 |
| 図 4.4 | 耐 NBTI 劣化の RO 構成 (4 入力 ORNAND ゲート) | 34 |
| 図 4.5 | 電圧に対する線形性評価 (RO1 選択) | 41 |
| 図 4.6 | 温度に対する線形性評価 (RO2 選択) | 41 |
| 図 4.7 | 温度と電圧に対する線形性評価 (RO3 選択) | 42 |
| 図 4.8 | 利用可能な RO の全組合せにおける近似誤差 | 43 |
| 図 5.1 | 試作チップ構成 | 46 |
| 図 5.2 | TVM の構成 | 47 |
| 図 5.3 | RO1: 51 stages of 2NAND with fan-out 1 | 47 |
| 図 5.4 | RO2: 19 stages of 4ORNAND with fan-out 4 | 47 |
| 図 5.5 | RO3: 21 stages of 2NAND with fan-out 7 | 47 |
| 図 5.6 | 試作チップを用いた温度電圧測定の処理手順 | 50 |
| 図 5.7 | 試作チップの実験環境 | 51 |
| 図 5.8 | モニタによる測定電圧と電流計による測定電流 | 52 |
| 図 5.9 | 試作チップにおける内部温度と表面温度の関係 | 54 |
| 図 5.10 | モニタによる測定温度と表面温度から算出した内部温度 | 54 |
| 図 5.11 | モニタによる測定温度と表面温度から算出した内部温度 | 55 |
| 図 5.12 | プロセス変動を含んだ測定周波数 (チップ 10 個) | 57 |
| 図 5.13 | 温度電圧測定結果 (チップ 10 個, モニタ 1 箇所) | 57 |
| 図 5.14 | 測定時間とカウント値の関係 | 58 |

表目次

| | | |
|-------|---------------------------------|----|
| 表 3.1 | 温度電圧測定精度 (180nm) | 26 |
| 表 3.2 | 温度電圧測定精度 (90nm) | 26 |
| 表 3.3 | 温度電圧測定精度 (45nm) | 26 |
| 表 3.4 | キャリブレーション手法の効果 (180nm) | 29 |
| 表 4.1 | 2 入力 NAND ゲートにおけるトランジスタの状態..... | 34 |
| 表 4.2 | 利用可能な RO のメニュー..... | 41 |
| 表 4.3 | 選択した RO の組合せ..... | 42 |
| 表 4.4 | 選択した RO の線形誤差..... | 42 |
| 表 5.1 | TVM の面積 (セル数) 評価 | 48 |

第1章 序論

1.1 研究の背景

VLSI は様々なシステムに使用され、我々の社会を支える重要な役割を果たしている。そのため、障害が発生した場合に社会へ与える影響は大きく、VLSI には高い信頼性が要求されている。しかし、VLSI の高機能化や高性能化、製造プロセスの微細化など、半導体製造技術の進歩の一方で、回路内の配線幅の縮小やトランジスタの微小化、電流密度の上昇などの影響により、配線やトランジスタなどに対する物理的な劣化現象が VLSI の信頼性に影響を及ぼす重大な要因となっている[1-6]。そのため、劣化による故障を事前に検知し、障害発生による突然のシステムダウンを回避することが重要になっているが、劣化現象の進行はシステムの運用状況に依存するため、製造テストでの検出は困難である。したがって、劣化により生じる故障に対しては出荷後のフィールドでのテストが有用である[7-11]。

VLSI の劣化現象として回路遅延の増加が知られているが、フィールドで測定される遅延値は、VLSI の温度や電圧等の環境要因により変動するため、劣化により増加する遅延値を精度良く測定するためには、VLSI 動作時の温度と電圧のモニタリングが必要不可欠となる[10-11]。また、VLSI 動作時の信頼性確保の手段として、チップ内部の温度や電圧のモニタリングは重要な役割を果たしている。チップの発熱状況を監視することで、熱暴走などの異常な温度上昇に起因するシステム障害や劣化を回避することができ[12]、チップの電圧変動を監視することで、電源電圧の低下に起因する性能劣化や誤動作を回避することができる[13]。これらのモニタリングをチップ内部の多数箇所で行うことにより、ホットスポットや局所的な IR ドロップをきめ細かく把握することができる。

チップ内部のモニタリングに使用する温度や電圧のオンチップセンサ技術は様々な

手法が提案されている[14-22, 38]. 例えば, 一般的な温度センサとして実用化されているサーマルダイオード等を利用した温度センサは高い測定精度を実現できるが, アナログ回路を利用しているため ADC (Analog-to-Digital Converter) が必要不可欠である. 文献[15]の CMOS 温度センサは $-55\sim+125^{\circ}\text{C}$ の温度範囲で $\pm 0.1^{\circ}\text{C}$ の測定精度を持つ. このセンサは安定した基準電圧と ADC が必要となる. TDC (time-to-digital-converter)を用いた温度センサ[16]は $0\sim 120^{\circ}\text{C}$ の温度範囲で $-0.7^{\circ}\text{C}\sim+0.9^{\circ}\text{C}$ の測定精度を持つ. また, チップ内でのモニタ配置の物理制約が厳しく, サイズも大きいいためチップのホットスポット把握の為に多数箇所への搭載が困難である. 他の手法としてリングオシレータ (RO: Ring-Oscillator)を利用した温度と電圧の同時測定センサ[18]がある. 低消費電力であり小規模回路であるため, チップ上の多数箇所への搭載が可能だが, センサ向けに特殊なセルを開発する必要がある, 標準的なセルライブラリで提供された論理セルだけで構成することは困難である. これらの温度や電圧センサは, システムを長期間稼働させ続けた際に発生する劣化現象への対策が施されていないため, フィールドテストに用いるセンサとしては不向きである.

したがって, フィールドテストにおける遅延劣化検知のためには, VLSI の使用環境によって変動するチップ内の温度と電圧を同時に測定可能なモニタの開発が必要とされている.

1.2 研究の目的

本研究では, フィールドにおける高精度なオンチップ温度電圧測定手法を確立させることを目的とし, 完全デジタル設計が可能なリングオシレータ (RO: Ring-Oscillator) を核とする温度電圧モニタについて提案する. 温度電圧モニタに用いる手法として, 製造バラツキの影響を低減可能なキャリブレーション手法や測定精度を向上可能な温度電圧計算手法, 利用可能な RO のメニューから最適な RO の組合せを選択可能な RO 選択

手法，劣化現象である NBTI 劣化に耐性を持つ耐 NBTI 劣化 RO の構成手法などを提案する．回路シミュレーションを用いて提案手法の測定精度や有効性の評価を行うことにより，温度と電圧を同時に測定可能なデジタルモニタであることを示す．また，回路シミュレーションを用いた評価だけでなく，提案モニタを搭載したチップを設計し，試作を行うことにより，チップ内の温度と電圧が測定できることを示す．そして，モニタで測定した温度や電圧の測定結果に対する妥当性の評価を行い，温度電圧モニタとして実現可能であることを示す．

提案する温度電圧モニタを用いることで短時間測定可能でかつ小規模な温度モニタを実現でき，チップの高信頼化のみならず，医療用機器や IoT（Internet of Things）機器の環境モニタ等，様々な応用も期待できる．

1.3 論文の構成

第 1 章では，本論文の概要と論文構成について述べる．第 2 章では，研究背景である LSI の信頼性設計やフィールドテストにおける温度電圧モニタの必要性について述べる．第 3 章では，チップ内の温度と電圧を測定するため，リングオシレータを用いた温度電圧測定手法について述べる．第 4 章では，温度電圧モニタを構成するリングオシレータにおいて，劣化現象を考慮した構成法や，モニタに利用するリングオシレータの選択手法について述べる．第 5 章では，試作チップを用いた評価により，温度電圧モニタの有効性について述べる．第 6 章には，まとめと今後の展望について述べる．

第2章 LSI のテストと信頼性

2.1 信頼性設計

一般的に LSI の保証は機能保証と品質保証の 2 つに分けられる[23]。機能保証とは、LSI の動作や性能が設計通り実現できているかどうかを保証するものであり、ファンクションの保障や性能の保障など、経時変化を伴わないものが対象である。一方、品質保証とは、製品として LSI に欠陥がないことや、使用中に故障などの不具合が頻発しないことを保障するものを対象とする。これら 2 つを保障する設計を総称して、信頼性設計と呼ぶ。機能保証の対象例として、電源ノイズや IR ドロップ、クロストーク、ESD (Electrostatic Discharge) などが挙げられる。一方、品質保証の対象例として、エレクトロマイグレーション (Electromigration) やストレスマイグレーション(stress-migration), ホットキャリア注入効果 (HCI: Hot Carrier Injection), NBTI (Negative Bias Temperature Instability) などの劣化現象が挙げられる。劣化現象への従来の対処方法として、これまでの統計, 経験から基準を定め, 許容範囲を持たせる設計を行うことで対処されてきた。しかし, VLSI の高機能化や高性能化, 製造プロセスの微細化など, 半導体製造技術の進歩に伴い, 従来の設計マージンを持たせる方法では, 技術面やコスト面で困難になってきている。そこで, 設計時に予め信頼性に関するテストを行う機能を組み込むことにより, 僅かなチップサイズやコストの増加と引き替えに, 高い信頼性を確保する方法が用いられている。

VLSI システムの使用時間と故障発生率の関係を図 2.1 に示す。図 2.1 はバスタブ曲線と呼ばれる関係である。故障発生率の傾向はシステムの使用時間の経過に伴い大きく変化し, 主に初期故障発生期間, 偶発故障発生期間, 摩耗故障発生期間の 3 つに分けられる。初期故障発生期間は故障発生率が高く, 時間経過に伴い次第に低下する。この期間は製品の良品と不良品が混在している製品の使い始めにあたり, 初期不良に起因する故

障の占める割合が大きい。不良品に対しては製造テストである程度取り除くことが可能だが、取り除くことができなかった製品が初期不良として現れる。変化の底の部分に当たる偶発故障発生期間、この期間の故障発生率は時経過によって大きく変動しなくなり、ある程度安定した故障発生率で落ち着く。しかし、様々な要因や負荷がシステムに与えられることで、偶発的に故障が発生する場合があります、故障発生率はゼロにはならない。この期間は比較的複雑なシステムで故障が起きやすく、初期故障発生期間の段階から不良品が取り除かれた時期からが偶発故障発生期間にあたる。摩耗故障発生期間では、時間経過に伴い故障発生率が増加していく。この期間は回路に対する劣化が進行し、故障が発生し始める期間にあたる。また、製品の使用時間の限界に近づき、寿命が切れる期間でもある。これらの偶発故障発生期間と摩耗故障発生期間は製造時のテストで対応することができない。

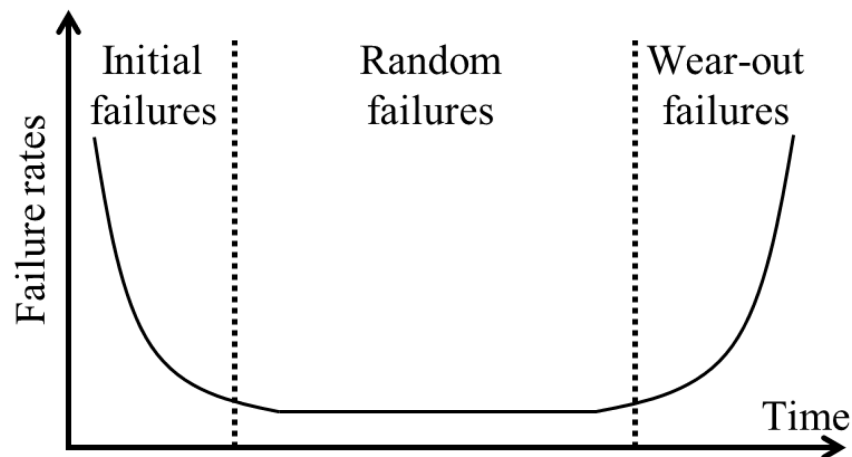


図 2.1 バスタブ曲線

2.2 フィールドにおける信頼性確保

劣化現象の進行はシステムの運用状況に依存するため、製造テストでの検出は困難であり、劣化により生じる故障に対しては出荷後のフィールドでのテストが有用である。フィールドテストは、システムのパワーオンやパワーオフ、あるいはシステムのアイドル時などに、システムに組み込まれたテスト機能を用いて自己テストを行う手法であり、劣化を事前に検知することが可能となる。

劣化現象は回路の遅延増加を引き起こすため、フィールドテストにおける劣化検知のアプローチとして、劣化を回路の遅延増加として測定する手法が提案されている[10-11]。回路の遅延を測定することにより BTI や HCI による遅延増加を検知ことができ、回路全体を網羅的にテストする遷移遅延故障テストにより、マイグレーションなどによる急激な遅延増加を検出することができる。

フィールド上での定期的な遅延測定による劣化検知の概念を図 2.2 に示す。出荷直後の初期状態では回路の遅延マージンが大きいいため、劣化による故障は発生しない。フィールドでシステムを運用し続けると、劣化が進行して回路遅延値が増加するため、劣化により増加する遅延が回路に影響を及ぼして、いずれシステムダウンや劣化による故障が発生する。

フィールドで定期的に遅延を測定することにより、劣化により増加する遅延値を測定することができ、劣化状態を遅延値から判断することが可能となる。測定される遅延値がある一定の許容遅延値を超えた場合に故障が発生すると仮定すると、回路の遅延値に対する警告値や限界値を定めることにより、フィールドでの定期的な遅延測定によって、劣化による故障を事前に検知することが可能となる。そして、故障発生前に警告や診断を行うことで突然のシステムダウンや故障を回避することが可能となり、VLSI システムに対するフィールドでの高い信頼性を確保することができる。

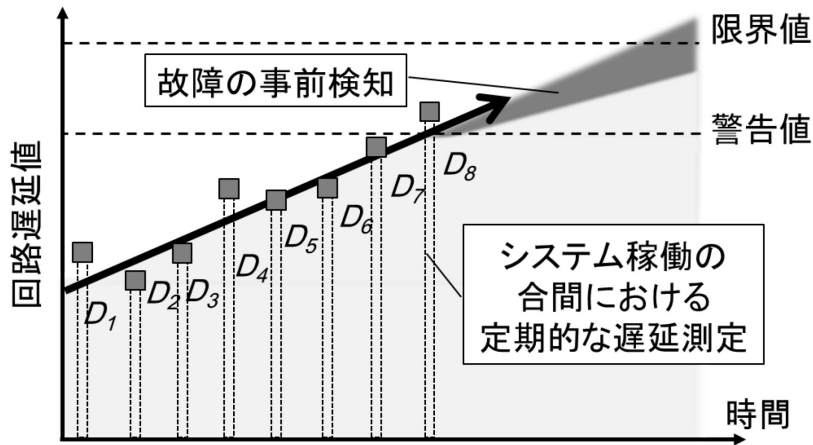


図 2.2 遅延測定による劣化検知

2.3 フィールドでの遅延測定における温度と電圧の影響

VLSI システムは様々な環境で使用されるため、システム動作時（テスト動作時）の温度や供給電圧が一定ではなく、常に変動する。そのため、フィールドで測定される遅延値は、VLSI の温度や電圧等の環境要因の影響を受けて変動する。例えば、一般的な CMOS テクノロジでは、温度が上がると遅延が増加し、温度が下がると遅延が減少する。一方、電圧が上がると遅延が減少し、電圧が下がると遅延が増加する。

図 2.3 に、フィールドで測定される遅延値に対する温度変動の影響を示す。回路の遅延値は劣化により増加するが、テスト時の温度の影響を受けて変動するため、測定時刻の異なる測定遅延値を比較することができない。したがって、劣化により増加する遅延値を測定するためには、温度の影響を取り除く必要がある。電圧に対しても温度と同様に遅延に対して影響を与えるため、温度だけでなく、電圧の影響も取り除く必要がある。このように、劣化により増加する遅延値を精度良く測定するためには、VLSI 動作時の温度と電圧のモニタリングが必要不可欠となる。

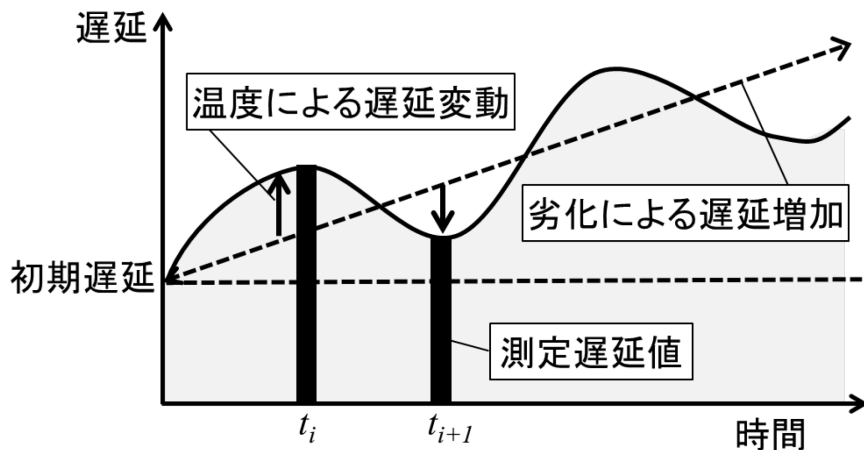


図 2.3 フィールドでの測定遅延に対する温度影響

2.4 フィールドにおける温度電圧モニタの役割

VLSI 動作時の信頼性確保の手段として、チップ内部の温度や電圧のモニタリングは重要な役割を果たしている。チップの発熱状況を監視することで、熱暴走などの異常な温度上昇に起因するシステム障害や劣化を回避することができ、チップの電圧変動を監視することで、電源電圧の低下に起因する性能劣化や誤作動を回避することができる。これらのモニタリングをチップ内部の多数箇所で行うことにより、ホットスポットや局所的な IR ドロップをきめ細かく把握することが可能となる。

2.5 フィールドテストのモニタとして要求される機能

フィールドテストに用いるための環境モニタには、以下の機能が要求される。

a) チップ内の温度と電圧を同時に測定可能

VLSI システムは様々な環境で使用されるため、チップ内の温度と供給電圧は一定ではない。チップ内の回路遅延値は温度だけでなく、電圧によって変動するため、フィールドテストでは、チップ内の温度と電圧を同時に測定可能なことが要

求される。

b) 製造バラツキの影響を受けても測定精度を保証

温度電圧モニタをチップに組み込み、実際に運用するためには、製造バラツキの影響を受けても測定精度が保証されることが要求される。特に、最先端の微細なテクノロジーにおいては、製造バラツキが回路動作に与える影響は増大しているため、製造バラツキへの対処が重要となる。

c) フィールドテストにおけるテスト時間と比較して測定時間が短い

モニタの測定時間は可能な限り短い方が望ましい。例えば、車載デバイスに対するパワーオンテストに許容されるテスト時間が 10ms の場合、温度や電圧の測定に利用可能な時間は 100 μ s (1%)程度である。

d) モニタ自身に対する劣化に対応

フィールドテストの劣化検知にモニタを利用するためには、システムを長期間稼働させ続けた際に発生する劣化現象への対策が必要不可欠である。モニタ回路に劣化が生じると測定精度が低下するだけでなく、モニタの測定結果をシステム制御等に利用した際に、正常に制御が行われず誤作動の原因になる可能性がある。

e) 設計や製造におけるコストが小さい

モニタをチップ上の多数箇所へ搭載するためには、設計や製造におけるコストは小さい方が望ましい。

f) モニタを測定対象部の近傍に配置可能

モニタの配置位置と測定したい箇所の位置のズレによって温度差や電圧差が生じる。ホットスポットや測定対象部の近傍で測定できない場合、測定したい箇所とモニタ位置における温度差より、測定結果を適切に活用できない可能性がある。

フィールドテストに用いるための温度と電圧モニタには、これらの要求される機能(a)

～(f) の全てを満たす必要がある。

第3章 リングオシレータを利用した温度電圧測定

3.1 概説

本章では、フィールド上でチップ内の温度と電圧を測定するため、リングオシレータ (RO: Ring-Oscillator) の動作周波数が温度や電圧によって変動する特性を利用した温度電圧測定手法について述べる。複数種類の特性の異なる RO から構成されるモニタを提案し、各 RO の周波数と温度の特性、周波数と電圧の特性に対して、重回帰分析を用いることにより、システム運用時の温度・電圧変動による周波数の変化量からチップ内の温度と電圧が計算可能となることを示す。また、製造された VLSI は製造バラツキの影響を受けるため、提案モニタに搭載する RO の動作周波数は製造バラツキの影響を受けて変動し、温度と電圧の測定精度が低下する。そのため、製造バラツキの影響により生じる誤差を低減可能な、初回測定時における周波数測定値と標準環境での周波数測定値の比率を利用したキャリブレーション手法を提案する。

本研究で提案する RO を利用した温度電圧測定手法を用いたモニタは、2.5 節で述べたフィールドテストに用いるために要求される機能 (a) ～ (f) の全てを満たすことが可能である。各機能に対応する温度電圧モニタの機能は以下の通りである。

a) チップ内の温度と電圧を同時に測定可能

RO の温度特性や電圧特性を利用し、チップ内の温度変動や電圧変動による周波数変動量から温度と電圧を算出することが可能であるため、温度電圧測定手法はチップ内の温度と電圧を同時に測定する機能を有する。温度電圧測定手法の詳細については、第 3.2 節および第 3.3 節で述べる。

b) 製造バラツキの影響を受けても測定精度を保証

製造バラツキの影響により生じる誤差を低減するため、温度電圧測定手法には、初回測定時における周波数測定値と標準環境での周波数測定値の比率を利用し

たキャリブレーション手法が含まれている。そのため、製造バラツキが存在していても、精度良く RO 周波数からチップ内の温度と電圧の測定が可能となる。キャリブレーション手法の詳細については、第 3.4 節で述べる。

c) フィールドテストにおけるテスト時間と比較して測定時間が短い

温度電圧モニタに搭載している RO の周波数を測定するために必要な時間は数 μs で十分である。例えば、5.7 節で示す RO 周波数の測定に必要な時間は $5\mu s$ 程度である。また、提案するモニタは完全デジタル設計であり、RO 周波数から温度と電圧を算出する処理も完全デジタル処理で実現される。そのため、モニタの測定時間は短く、 $100\mu s$ 以下で動作可能である。測定時間の詳細については、第 5 章で述べる。

d) モニタ自身に対する劣化に対応

提案モニタは、製造プロセスの微細化に伴い深刻化している NBTI 劣化に対応するため、耐 NBTI 劣化構造を持つ RO を提案する。RO の耐 NBTI 劣化構造については、第 4 章で述べる。

e) 設計や製造におけるコストが小さい

モニタをチップ上の多数箇所へ搭載するためには、設計や製造におけるコストは小さい方が望ましい。提案モニタは完全デジタル設計であり、標準的なセルライブラリで提供された論理セルを用いて設計可能なため、設計や製造におけるコストは小さい。

f) モニタを測定対象部の近傍に配置可能

モニタの配置位置と測定したい箇所の位置のズレによって温度差や電圧差が生じる。ホットスポットや測定対象部の近傍で測定できない場合、測定したい箇所とモニタの位置における温度差より、測定結果を適切に活用できない可能性がある。そのため、モニタを測定対象部の近傍に配置可能なことが要求される。提案

モニタは完全デジタル設計なため、テスト対象回路の近傍に配置することが容易である。

したがって、提案モニタはフィールドテストに用いるために要求される機能 a)～f) の全てを満たすことができる。

3.2 重回帰分析を利用した温度電圧計算

RO の周波数と温度の関係、周波数と電圧の関係を図 3.1 に示す。RO の周波数は温度や電圧によって変動する特性を持つ。例えば、45nm 以前の CMOS テクノロジでは、温度が上がると遅延が増加して周波数が低下し、温度が下がると遅延が減少して周波数が高くなる。一方、電圧が上がると遅延が減少して周波数が高くなり、電圧が下がると遅延が増加して周波数が低下する。

RO の温度と電圧 ($T&V$) と周波数 F の関係は式(3.1)の関数として表現できる。電圧が一定の場合、温度 T は式 (3.2) に示す周波数 F に対する関数 $f_T(F)$ のように表すことができる。温度が一定である場合も同様に、電圧 V は式 (3.3) における周波数 F に対する関数 $f_V(F)$ として表すことができる。式 $f_T(F)$ と $f_V(F)$ は非線形関数であるため 1 次関数として近似することができ、式 (3.4) と式 (3.5) をそれぞれ線形近似で表した式が式 (3.2) と式 (3.3) である。これらの式は、温度 T や電圧 V は RO の周波数 F から算出可能なことを示している。

$$F = g(T, V) \quad (3.1)$$

$$T = f_T(F) \quad \text{for a fixed } V. \quad (3.2)$$

$$V = f_V(F) \quad \text{for a fixed } T. \quad (3.3)$$

$$T \cong aF + b \quad \text{for a fixed } V. \quad (3.4)$$

$$V \cong cF + d \quad \text{for a fixed } T. \quad (3.5)$$

RO を利用した温度電圧測定の基本的な考え方は、RO の F から T または V を計算す

るために、RO の持つ非線形な温度と電圧の特性に対して線形近似を利用することである。温度と電圧の特性は周波数に対して非線形であるため、線形近似された式を用いて計算された温度と電圧は線形近似による誤差が含まれる。しかし、線形近似された関数は計算処理がシンプルであるため、計算処理をソフトウェアまたはハードウェアとして実装することが容易であるという利点を持つ。

一般的に、フィールドではチップ内の T も V も未知の値である。そして、1 つの変数 F から正確に T と V の両方を計算することは困難である。この問題は $T\&V$ 特性の異なる複数の RO を使用することによって対応することができる。

ここでは、チップ上に異なる $T\&V$ 特性を持つ 3 種類の RO があることを前提とする。 $T\&V$ 特性の異なる RO については第 4 章の回路構成で述べる。

3 種類の RO 周波数 F_1, F_2, F_3 は、式 (3.6), (3.7) および式 (3.8) に示すように、 $T\&V$ に対する関数 g_1, g_2, g_3 として表現することができる。これらの 3 つの式より得られる RO 周波数 F_1, F_2, F_3 と温度 T , 電圧 V の関係に対して、RO 周波数 F_1, F_2, F_3 を説明変数、 T と V を従属変数とした重回帰分析を行うことにより、 T と V を F_1, F_2, F_3 から算出する計算式である式 (3.9) と式 (3.10) を導出することができる。 $F_i (i = 1,2,3)$ と $T\&V$ の関係は、SPICE シミュレーションを用いることで調査することができ、設計段階でのシミュレーションデータから式 (3.9) と式 (3.10) を導出する。

$$F_1 = g_1(T, V) \quad (3.6)$$

$$F_2 = g_2(T, V) \quad (3.7)$$

$$F_3 = g_3(T, V) \quad (3.8)$$

$$T = h(F_1, F_2, F_3) = a_T * F_1 + b_T * F_2 + c_T * F_3 + d_T \quad (3.9)$$

$$V = k(F_1, F_2, F_3) = a_V * F_1 + b_V * F_2 + c_V * F_3 + d_V \quad (3.10)$$

ここで、定数 $a_T, a_V, b_T, b_V, c_T, c_V, d_T, d_V$ はそれぞれ重回帰分析によって生成される計算式の係数である。 $T\&V$ は事前に導出した計算式に実チップ上で測定された RO 周波数

を当て嵌めることで計算される．このように，提案する温度電圧計算手法は， T と V 特性の異なる 3 種類 RO の線形近似と重回帰分析を利用している．RO の数を増やすと測定精度が向上するが，計算処理がより複雑になる．

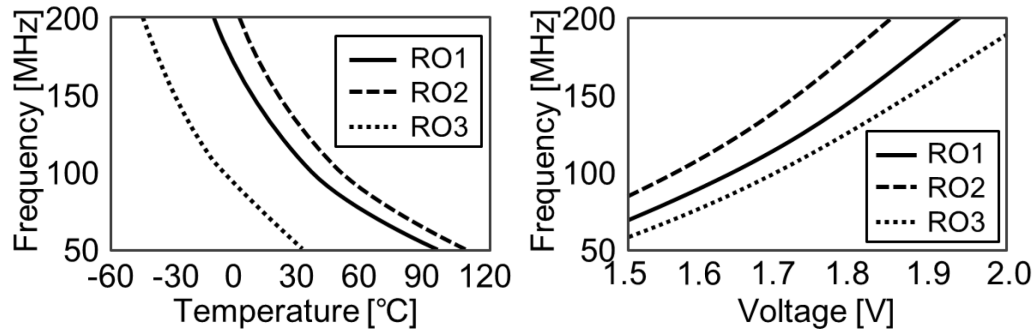


図 3.1 RO の温度電圧特性

3.3 差分周波数を用いた計算

チップ内の温度と電圧の計算は，異なる温度と電圧の環境下で測定される RO 周波数の差を用いて実現される．初回の測定は，製造テストなどの温度や電圧が非常に良く制御された環境下で実行されるため，初回測定時の温度 T_0 や電圧 V_0 を既知として扱うことができ，この時の RO 周波数 F_0 を基準とする．フィールドでは温度と電圧が未知の値であるが，初回測定時の RO 周波数とフィールドで測定される RO 周波数の差分より，温度と電圧の変動量を算出することが可能となる．

図 3.2 に RO の温度と周波数，電圧と周波数の関係を示す．差分周波数 ΔF は初回測定時の温度 T_0 や電圧 V_0 における基準周波数 F_0 と，フィールドで実際に測定される周波数 F との差である．温度と電圧と周波数の差分は，それぞれ $F = F_0 + \Delta F$ ， $T = T_0 + \Delta T$ ， $V = V_0 + \Delta V$ のように定義される．差分形式を用いることで，式 (3.9) および式 (3.10) に示した温度と電圧の計算式は，下記の式 (3.11) と式 (3.12) のように拡張することができる．

$$\Delta T = a_{\Delta T} * \Delta F_1 + b_{\Delta T} * \Delta F_2 + c_{\Delta T} * \Delta F_3 + d_{\Delta T} \quad (3.11)$$

$$\Delta V = a_{\Delta V} * \Delta F_1 + b_{\Delta V} * \Delta F_2 + c_{\Delta V} * \Delta F_3 + d_{\Delta V} \quad (3.12)$$

ここで、 $\Delta F_1, \Delta F_2, \Delta F_3$ はそれぞれの RO の差分周波数であり、 $a_{\Delta T}, b_{\Delta T}, c_{\Delta T}, d_{\Delta T}$ は温度計算処理における計数、 $a_{\Delta V}, b_{\Delta V}, c_{\Delta V}, d_{\Delta V}$ は電圧計算における係数である。線形近似は T_0 や V_0 ではなく、それぞれの温度や電圧の全ての範囲に対して行われる為、 $d_{\Delta T}$ と $d_{\Delta V}$ はゼロにならない。

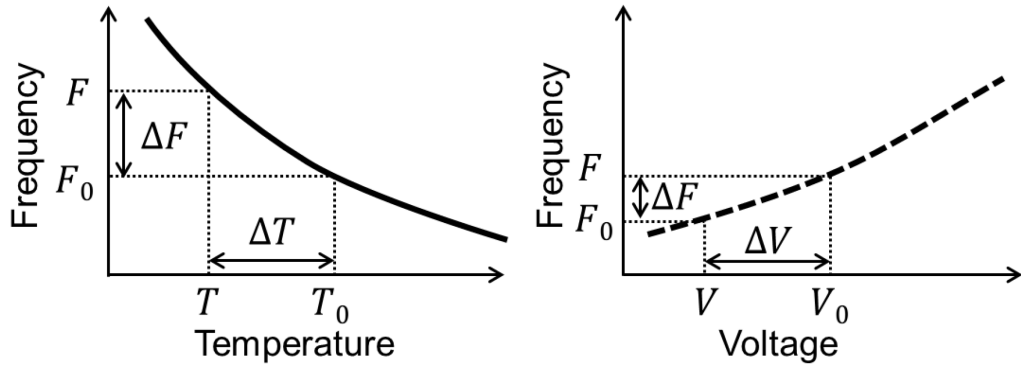


図 3.2 RO の温度電圧特性と差分形式

3.4 プロセス変動の影響を低減可能なキャリブレーション手法

差分形式は、製造バラツキによるプロセス変動を扱うのに有用である。LSI におけるプロセス変動は、主にグローバル変動とローカル変動の 2 つに分類される[25]。グローバル変動は製造加工時の熱分布などに起因し、トランジスタの特性がウェハー全体に対してなだらかに変化し、閾値電圧 V_{th} もウェハー上でなだらかに変化する。そのため、1 つのウェハーや 1 つのチップでも、RO 周波数は位置によって異なる。一方、ローカル変動は、製造時のガウス分布に起因し、各トランジスタの特性は独立して変化する。この時、ローカル変動の分布は正規分布に近い。したがって、ローカルな変動に起因する RO 周波数の変動は、 N が RO の段数であるとする、RO の段数を増やすことで大数の

法則に従い $1/\sqrt{N}$ 倍に低減されることが推測できる。そのため、モニタは RO の段数を増やすことによって、多少の面積オーバーヘッドの増加と引き替えに、ローカル変動の影響を低減することが可能となる。

グローバルな変動としては、プロセス変動が無視できない場合、RO 周波数から温度と電圧を計算する際の誤差は、プロセス変動のない理想的なプロセスの場合と比較して、計算時の誤差が大きくなる問題がある。

CMOS テクノロジにおけるインバータ回路の単純なトランジスタモデルを図 3.3 に示す。このトランジスタモデルでは、RO の周波数に影響するパラメータとして以下のパラメータが挙げられる[24]。

- T_D : ゲート遅延値 (立ち上がり/立ち下がり)
- L_G : ゲート長
- W_G : ゲート幅
- C_L : 負荷容量
- C_{OX} : ゲート酸化膜容量
- μ : 移動度
- V_{DD} : 供給電圧
- V_{th} : 閾値電圧
- I_{DS} : ソースドレイン電流
- RO_Stage : RO の段数
- α : 閾値電圧の温度係数
- ΔT : 温度変動量

それぞれのパラメータには、NMOS トランジスタにおける移動度 μ_n や閾値電圧 V_{thn} , PMOS トランジスタにおける移動度 μ_p や閾値電圧 V_{thp} など、NMOS トランジスタ PMOS トランジスタ毎に詳細なパラメータが存在するが、ここでは単純化のため、 μ_n と

V_{thn} はそれぞれ μ_p , V_{thp} と同じであると仮定して, μ と V_{th} として扱う. これらのパラメータを用いて, RO 周波数 F_i ($i = 1,2,3$) とゲート遅延値 T_D は式 (3.13) と式 (3.14) のように計算される.

$$F_i = \frac{1}{2 \cdot T_D \cdot RO_Stage} \quad (3.13)$$

$$T_D = \frac{C_L \cdot V_{DD}}{I_{DS}} = \frac{2L_G}{C_{OX} \cdot \mu} \cdot \frac{C_L}{W_G} \cdot \frac{V_{DD}}{V_{DD} - V_{th}(1 - \alpha \Delta T)} \quad (3.14)$$

温度と電圧の特性は RO の回路構成によって決まる. 温度と電圧の特性と回路構成の関係については第 4 章で説明する.

提案するプロセス変動の影響を低減可能なキャリブレーション手法は, プロセス変動に影響される閾値電圧の変動に対して行われる処理である.

RO 周波数に対するプロセス変動の影響を示す概念図を図 3.4 に示す. 図 3.4 の F_i^{Typ} (実線) はバラツキのない標準的なプロセスにおける RO 周波数であり, F_i (破線) はプロセス変動の影響を含む RO の測定周波数である. プロセス変動の影響を受けるため, 同じ温度であっても, F_i^{Typ} と F_i は同じ周波数にはならない. したがって, チップ内の温度は周波数から計算されるため, F_i^{Typ} と F_i の差を δF_i とすると, 温度計算時に周波数の誤差 δF_i の影響を受けて, 計算温度に誤差 δT が生じる. この δF_i による影響は温度計算だけでなく, 電圧計算時にも影響を与え, 計算電圧にも誤差 δV が生じる.

これらのプロセス変動の問題に対処するため, 各 RO の初回測定時にキャリブレーション処理が行われる. 提案手法は, プロセス変動の影響を低減するために, 温度と電圧の計算に用いるパラメータを補正する.

標準的な RO 周波数 F_i^{Typ} とプロセス変動の影響を含む RO 周波数 F_i の比は, 式 (3.13) と式 (3.14) より, 式 (3.15) のように表すことができる.

$$\frac{F_i}{F_i^{Typ}} = \left(\frac{V_{DD} - V_{th}}{V_{DD} - V_{th}^{typ}} \right) \left(1 - \left(\frac{V_{th}}{V_{DD} - V_{th}} - \frac{V_{th}^{typ}}{V_{DD} - V_{th}^{typ}} \right) \cdot \alpha \Delta T \right) \quad (3.15)$$

V_{th}^{Typ} は標準プロセスにおける閾値電圧であり, V_{th} はプロセス変動の影響を含む実

際の閾値電圧である．この閾値電圧の実際のプロセス変動による RO 周波数の変動量は， F_i^{typ} と F_i の比を用いて把握することができる．図 3.4 にグローバル変動に起因する誤差を低減するためのキャリブレーション手法について示す．プロセス変動の影響度合いは，それぞれの RO に対する最初の測定で，標準環境の周波数 F_i^{typ} に対する測定周波数の比率 $\{F_i(T_0, V_0)/F_i^{typ}(T_0, V_0)\}$ for $i = 1, 2, 3$ を求めることで得ることができる．ここで，初回測定は温度や電圧が非常に良く制御された環境下で行われるため，初回測定時の温度 T_0 と電圧 V_0 は既知とすることができる．そのため，式(3.15)の温度変動量 ΔT はゼロとなる．したがって，周波数の誤差 δF_i は，初回測定時の周波数比率を利用したキャリブレーションによりゼロとすることができ，測定誤差を低減することが可能となる．よって，温度と電圧の計算式である式 (3.11) と式 (3.12) は初回測定時の周波数比率を用いて，式 (3.16) と式 (3.17) のように計算パラメータを補正することができる．また，式 (3.16) と式 (3.17) の ΔT および ΔV は，低減された誤差 δT と δV の影響を含んでいる．

$$\Delta T \cong a_{\Delta T} \frac{F_1^{typ}(T_0, V_0)}{F_1(T_0, V_0)} \Delta F_1 + b_{\Delta T} \frac{F_2^{typ}(T_0, V_0)}{F_2(T_0, V_0)} \Delta F_2 + c_{\Delta T} \frac{F_3^{typ}(T_0, V_0)}{F_3(T_0, V_0)} \Delta F_3 + d_{\Delta T} \quad (3.16)$$

$$\Delta V \cong a_{\Delta V} \frac{F_1^{typ}(T_0, V_0)}{F_1(T_0, V_0)} \Delta F_1 + b_{\Delta V} \frac{F_2^{typ}(T_0, V_0)}{F_2(T_0, V_0)} \Delta F_2 + c_{\Delta V} \frac{F_3^{typ}(T_0, V_0)}{F_3(T_0, V_0)} \Delta F_3 + d_{\Delta V} \quad (3.17)$$

計算式の補正は，重回帰分析によって生成されるパラメータ $a_{\Delta T}$, $a_{\Delta V}$, $b_{\Delta T}$, $b_{\Delta V}$, $c_{\Delta T}$, $c_{\Delta V}$ に対して行われる．

グローバル変動の変動量は，チップ毎またはチップ上の位置に応じて異なるため，このキャリブレーションは全ての RO に適応する必要がある．提案するキャリブレーション手法は，ダイ間またはダイ内の変動などのグローバル変動の影響を低減する手法である．このキャリブレーション手法の有効性は第 5 章で評価する．

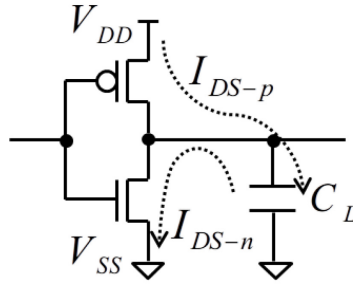


図 3.3 INV 回路における遅延の簡易モデル

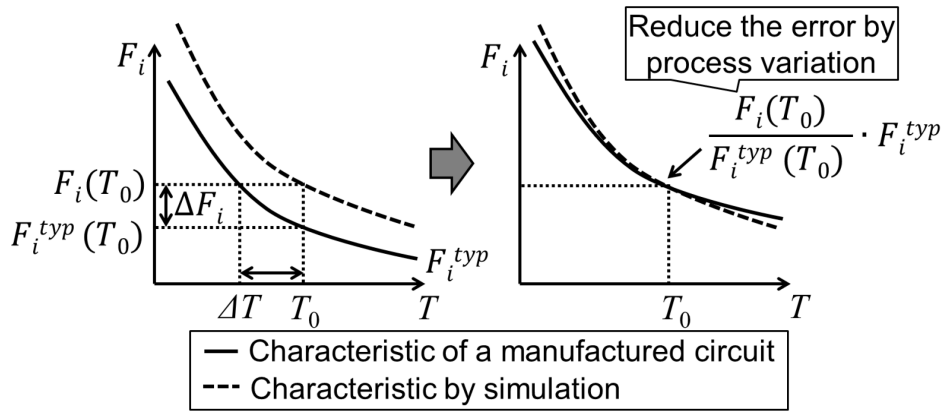


図 3.4 キャリブレーションによるプロセス変動の影響低減

3.5 温度電圧に対する区間分割

提案する温度電圧の計算には、各 RO の温度と電圧の特性 ($T\&V$ 特性) の線形性を利用する。図 3.5 に示した様に、線形性に起因する計算誤差は、元の特性関数の線形近似の誤差分布の標準偏差として定義される。

線形近似の誤差の小ささは線形性の高さに対応している。線形方程式によって計算された $T\&V$ は、一般的に近似誤差を含む。線形近似を用いた計算では、 $T\&V$ の範囲を複数のサブ範囲に分割することは、線形近似による誤差を低減するために有用である。しかし、複数のサブ範囲に分割して用いる際には、どのサブ範囲を計算に用いるべきか選択する方法が必要となる。 $T\&V$ は、サブ範囲の線形近似式を用いて計算されるため、

実際のチップ内の温度と電圧を $T_{Real}&V_{Real}$ とすると、選択されたサブ範囲で計算される $T&V$ には、実際の $T_{Real}&V_{Real}$ が含まれる必要がある。また、プロセス変動は対応するサブ範囲の選択に影響を及ぼす。したがって、提案手法は、プロセス変動の量に関係なく、実際の $T&V$ が含まれるサブ範囲を決定する。

図 3.6 に、計算された温度と実際の温度の関係を示す。温度測定では、プロセス変動による誤差 εP_T と線形近似等の計算による誤差 εT が測定結果に含まれる。温度測定と同様に、電圧測定では、プロセス変動による誤差 εP_V と線形近似等の計算による誤差 εV が測定結果に含まれる。プロセス変動による最大および最小の誤差は、それぞれ閾値電圧 V_{th} の変動量がワーストケースである最高および最低としたシミュレーションによって算出することができる。実際の値 $T_{Real}&V_{Real}$ と計算値 $T_{Cal}&V_{Cal}$ の関係は、式 (3.18) と式 (3.19) のように与えられる。

$$T_{Real} - |\varepsilon T + \varepsilon P_T| \leq T_{Cal} \leq T_{Real} + |\varepsilon T + \varepsilon P_T| \quad (3.18)$$

$$V_{Real} - |\varepsilon V + \varepsilon P_V| \leq V_{Cal} \leq V_{Real} + |\varepsilon V + \varepsilon P_V| \quad (3.19)$$

ここで、 εT と εV は非線形性に起因する誤差の最大値であり、 εP_T と εP_V は、プロセス変動による誤差の最大値である。例えば、式 (3.18) では、 T_{Cal} は実際の温度 T_{Real} を中心として、プラス側とマイナス側に εT と εP_T の合計を幅として持つ区間内に存在することを意味している。温度と同様に、式 (3.19) では、 V_{Cal} は実際の温度 V_{Real} を中心として、プラス側とマイナス側に εV と εP_V の合計を幅として持つ区間内に存在することを意味している。

図 3.7 は、単純な分割であるオリジナルなサブ範囲と、誤差量の範囲を含めて拡張されたサブ範囲との関係を図 3.7 に示す。各オリジナルの範囲は、任意の重複のない 3 つのサブ範囲に分割される。拡張されたサブ範囲は、誤差量である $\varepsilon T + \varepsilon P_T$ と $\varepsilon V + \varepsilon P_V$ を含めた十分な幅を持つ範囲である。そして、温度と電圧の計算式は、拡張された各サブ範囲のそれぞれに対して作成される。

拡張された各サブ範囲において、隣接する範囲には重なりが生じる．ここでは、誤差量 $|\varepsilon T + \varepsilon P_T|$ を簡略化のために E_T と表現する．温度のオリジナルなサブ範囲が (T_1, T_2) と (T_2, T_3) であるとする、拡張されたサブ範囲はそれぞれ $(T_1 - E_T, T_2 + E_T)$ と $(T_2 - E_T, T_3 + E_T)$ となり、重複範囲は温度範囲の境目である T_2 を中心とした $(T_2 - E_T, T_2 + E_T)$ である．

重複範囲の線形近似に起因する計算誤差は $\varepsilon T(T_1 - E_T, T_2 + E_T)$ として表現される．温度と同様に、電圧もオリジナルのサブ範囲、拡張されたサブ範囲、重複範囲を持つ．重複範囲では、 T_{cal} と V_{cal} を含む1つのサブ範囲の計算式のいずれかを適用することができ、その誤差量は、拡張されたサブ範囲の最大誤差よりも小さい値となる．

本論文では、分割数を単純化するために3つの範囲に分割したが、この分割する数は3つに限定せず、それぞれの誤差量 εT , εV , εP_T , εP_V と一致するように調整することができる．

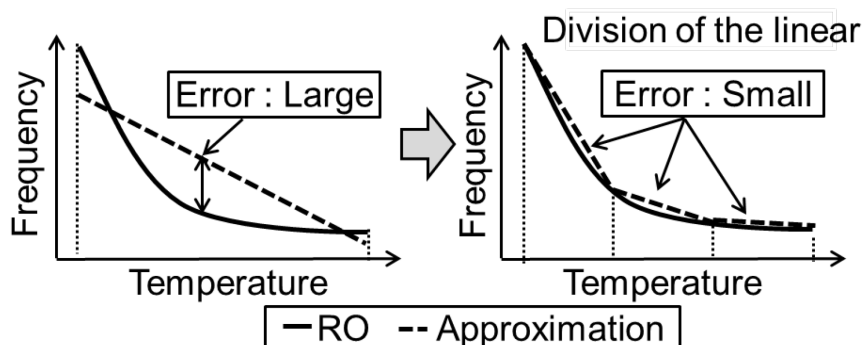


図 3.5 区間分割による近似誤差の低減

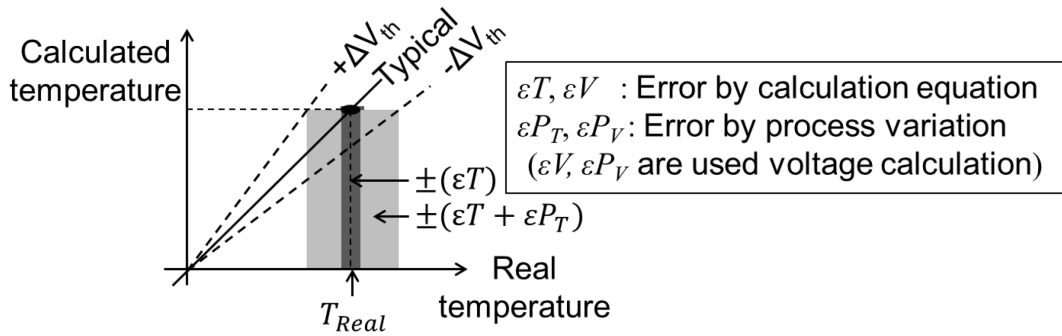


図 3.6 実際の温度と計算した温度の関係

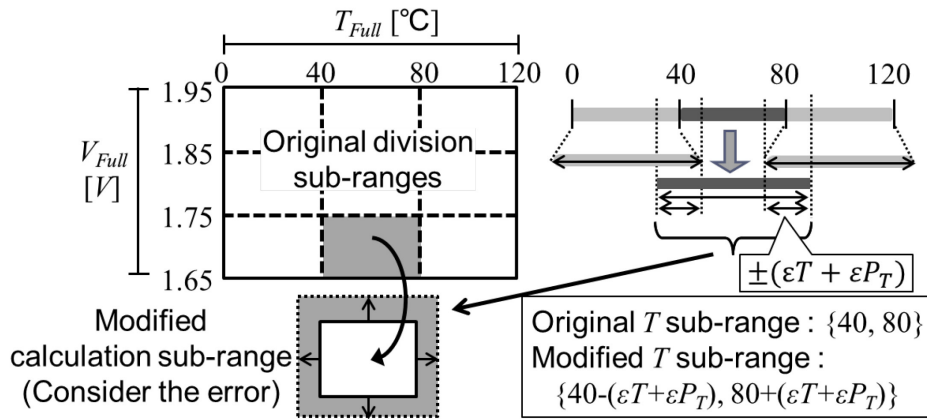


図 3.7 プロセス変動による誤差を考慮した区間分割

3.6 階層的な計算手法

チップ内の実際の値である T_{Real} & V_{Real} が含まれるサブ範囲の計算式を適用するために、階層的な計算手法を提案する。本節では、「サブ範囲」とは、誤解の恐れのない限り、「拡張されたサブ範囲」の意味で使用する。

提案する階層的な計算手法の概念を図 3.8 に示す。ここでは、サブ範囲毎に温度と電圧の計算式が定義されている。そして、電圧値の計算と温度値の計算を交互に繰り返すことで、実際の値である T_{Real} & V_{Real} が含まれるサブ範囲を絞り込んで選択していく。

まず初めに、温度と電圧の全範囲（図 3.8 の範囲 A）に対する概略的な計算式を用い

て、電圧の範囲を決める。そして、求めた電圧の概略値が含まれる電圧範囲と、温度の全範囲の領域（範囲 a）の計算式を用いて、温度の範囲を決める。その後、選択して絞り込んだサブ範囲（範囲 2）の計算式を用いてチップ内の温度と電圧を算出する。このように、階層的な計算手法は、 $T_{Real}&V_{Real}$ が含まれるサブ範囲の計算式を最終的に用いるために、交互に $T&V$ の範囲を絞り込んでいく。手順の詳細を以下に示す。

Step 1 : $T&V$ 全範囲における電圧の計算式を使用して、電圧のサブ範囲を決定する。選択される温度範囲はまだ全範囲であるが、電圧の範囲は絞り込んだサブ範囲となる。

Step 2 : 温度の全範囲と電圧のサブ範囲における温度の計算式を用いて、温度のサブ範囲を決定する。選択されるサブ範囲は電圧だけでなく、温度に対しても絞り込んだサブ範囲となる。

Step 3: 選択した温度と電圧のサブ範囲の電圧計算式を用いて、チップ内電圧値 V_{cal} を算出する。

Step 4 : 選択した温度と電圧のサブ範囲の温度計算式を用いて、チップ内の温度値 T_{cal} を算出する。

ここでは、温度と電圧の範囲に対して、それぞれ 3 つの温度のサブ範囲と電圧のサブ範囲が準備されていることに注意する必要がある。そして、それぞれの範囲において、式 (3.16) や式 (3.17) が定義されている。

一般的に、電圧が RO 周波数に与える影響は温度よりも大きいとされているため、電圧のサブ範囲の選択は、温度のサブ範囲の選択の前に行われる必要がある。しかし、温度と電圧が周波数に与える影響は、サブ範囲の数や各範囲の幅などに依存すると考えられる。例えば、電圧の範囲に対する分割数が温度よりも多い場合、温度範囲の選択は電圧の範囲を絞り込む前に行われる必要がある。

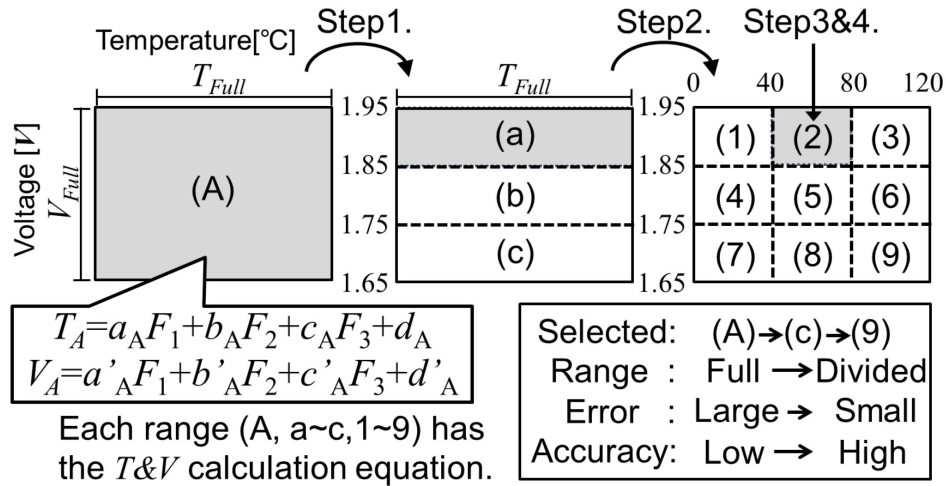


図 3.8 階層的な温度電圧計算手順

3.7 回路シミュレーションによる測定精度の評価

提案する温度電圧測定手法および階層的な計算手法の効果を評価するため、180nm, 90nm, 45nmCMOS テクノロジを用いた SPICE シミュレーションによる評価を行う。シミュレーション評価に用いる RO の構成は以下の 3 種類である。

- RO1 : 2 入力 NAND, 51 段, ファンアウト数 1.
- RO2 : 4 入力 ORNAND, 19 段, ファンアウト数 4.
- RO3 : 2 入力 NAND, 21 段, ファンアウト数 7.

これらの RO 構成と測定精度の関係については第 4 章で述べる。

シミュレーションに用いる温度や電圧の条件は以下の通りである。

- 180nmCMOS テクノロジ :

温度範囲 : 0°C~120°C (1°C 刻み), 電圧範囲 : 1.65V~1.95V (0.05V 刻み)

- 90nmCMOS テクノロジ :

温度範囲 : -40°C~110°C (5°C 刻み), 電圧範囲 : 1.00V~1.30V (0.05V 刻み)

- 45nmCMOS テクノロジ :

温度範囲 : 0°C~120°C (1°C 刻み), 電圧範囲 : 0.91V~1.09V (0.01V 刻み)

表 3.1, 表 3.2 および表 3.3 は, それぞれ各 CMOS テクノロジにおける温度と電圧の測定精度について示している. ここでは, 測定精度として近似誤差の標準偏差で表現している. 表 3.1 の 180nmCMOS テクノロジにおける評価結果では, 分割なしの全範囲における温度精度は 3.21°C であるが, 温度と電圧の範囲においてそれぞれ 3 分割することで, 温度精度は 0.86°C に向上していることが確認できる. 電圧も同様に, 分割なしの全範囲における電圧精度は 11.77mV であるが, 温度と電圧の範囲においてそれぞれ 3 分割することで, 電圧精度は 2.98mV に向上していることが確認できる. これらの評価結果は, 温度と電圧の範囲を分割することで, 測定精度が向上可能なことを示している. 180nmCMOS テクノロジでは, 温度精度は 3.21°C から $0.86\sim 0.99^{\circ}\text{C}$ に向上し, 電圧精度は 11.77mV から $2.98\sim 4.17\text{mV}$ に向上している. 90nmCMOS テクノロジでは, 温度精度は 2.84°C から $0.65\sim 1.36^{\circ}\text{C}$ に向上し, 電圧精度は 7.49mV から $1.40\sim 3.39\text{mV}$ に向上している. 45nmCMOS テクノロジでは, 温度精度は 4.13°C から $1.42\sim 3.75^{\circ}\text{C}$ に向上し, 電圧精度は 10.67mV から $4.17\sim 11.30\text{mV}$ に向上している. しかし, 45nmCMOS テクノロジでは, 1 つのサブ範囲 ($0\sim 40^{\circ}\text{C}$, $0.91\sim 0.97\text{V}$) の電圧測定精度は向上されなかった. 考えられる理由として, 提案された RO の選択手順は, 全範囲のためでなく, 各サブ範囲のための RO の組合せを選択するものであり, 使用した RO 構成の組合せは, 特性のサブ領域に対しては適切でない RO が用いられた可能性がある.

表 3.1 温度電圧測定精度 (180nm)

| 180 nm | | Temperature accuracy [°C] | | | | Voltage accuracy [mV] | | | |
|---|---------------|---------------------------|------------|-------------|--------------|-----------------------|------------|-------------|--------------|
| V ₀ : 1.80v T ₀ : 60°C | | Full-range | Sub-range | | | Full-range | Sub-range | | |
| | | 0~ 120°C | 0~ 40°C | 40~ 80°C | 80~ 120°C | 0~ 120°C | 0~ 40°C | 40~ 80°C | 80~ 120°C |
| Full-range | 1.65v ~ 1.95v | 3.21 | - | - | - | 11.77 | - | - | - |
| Sub-range | 1.85v ~ 1.95v | - | 0.86 | 0.93 | 0.99 | - | 3.58 | 3.58 | 3.55 |
| | 1.75v ~ 1.85v | - | 0.86 | 0.91 | 0.98 | - | 3.97 | 3.32 | 3.34 |
| | 1.65v ~ 1.75v | - | 0.94 | 0.91 | 0.94 | - | 4.17 | 3.52 | 2.98 |

表 3.2 温度電圧測定精度 (90nm)

| 90 nm | | Temperature accuracy [°C] | | | | Voltage accuracy [mV] | | | |
|---|---------------|---------------------------|--------------|-------------|--------------|-----------------------|--------------|-------------|--------------|
| V ₀ : 1.15v T ₀ : 50°C | | Full-range | Sub-range | | | Full-range | Sub-range | | |
| | | -40~ 110°C | -40~ 20°C | 20~ 80°C | 80~ 110°C | -40~ 110°C | -40~ 20°C | 20~ 80°C | 80~ 110°C |
| Full-range | 1.00v ~ 1.30v | 2.84 | - | - | - | 7.49 | - | - | - |
| Sub-range | 1.20v ~ 1.30v | - | 1.17 | 0.87 | 0.65 | - | 2.58 | 2.19 | 1.73 |
| | 1.10v ~ 1.20v | - | 1.36 | 1.28 | 1.13 | - | 3.32 | 3.39 | 1.96 |
| | 1.00v ~ 1.10v | - | 1.20 | 1.08 | 0.76 | - | 2.27 | 2.88 | 1.40 |

表 3.3 温度電圧測定精度 (45nm)

| 45 nm | | Temperature accuracy [°C] | | | | Voltage accuracy [mV] | | | |
|---|---------------|---------------------------|------------|-------------|--------------|-----------------------|------------|-------------|--------------|
| V ₀ : 1.00v T ₀ : 60°C | | Full-range | Sub-range | | | Full-range | Sub-range | | |
| | | 0~ 120°C | 0~ 40°C | 40~ 80°C | 80~ 120°C | 0~ 120°C | 0~ 40°C | 40~ 80°C | 80~ 120°C |
| Full-range | 0.91v ~ 1.09v | 4.13 | - | - | - | 10.67 | - | - | - |
| Sub-range | 1.03v ~ 1.09v | - | 2.09 | 1.81 | 1.42 | - | 7.72 | 6.03 | 4.17 |
| | 0.97v ~ 1.03v | - | 2.72 | 2.22 | 1.80 | - | 9.04 | 6.57 | 4.67 |
| | 0.91v ~ 0.97v | - | 3.75 | 2.85 | 2.29 | - | 11.30 | 7.62 | 5.33 |

3.8 キャリブレーション手法の有効性評価

3.4 節で述べたプロセス変動の影響を低減可能なキャリブレーション手法を評価するため、180nmCMOS テクノロジを用いた SPICE シミュレーションによる評価を行う。評価に用いる RO 構成は第 3.8 節と同じであり、RO1 は 2 入力 NAND, 51 段, ファンアウト数 1. RO2 は 4 入力 ORNAND, 19 段, ファンアウト数 4. RO3 は 2 入力 NAND, 21 段, ファンアウト数 7 である。シミュレーションに用いた温度範囲は、15°C~105°C (1°C刻み) であり、電圧は 1.8V の固定値で行った。プロセス変動を評価するために、閾値電圧 V_{th} は 3 種類のプロセス変動のモデル (*Typical, Fast, Slow*) を用いる。ここで、(*Typical, Typical*) は NMOS および PMOS トランジスタ(NMOS, PMOS)の閾値電圧 V_{th} が標準的な値 (*Typical*) であることを意味している。同様に、プロセス変動のコーナーとして(*Fast, Fast*) や (*Slow, Slow*) が定義されている。

図 3.9 は、閾値電圧が (*Typical, Typical*), (*Fast, Fast*), (*Slow, Slow*) の 3 種類を使用し、実際の温度 (シミュレーションでの設定温度) と、それぞれの条件下で得られた RO 周波数から算出した計算温度を示している。図 3.9(a)より、キャリブレーション処理を行っていない場合は、実際の温度と計算された温度の差が大きい。(*Fast, Fast*) ではトランジスタが高速に動作するため、同じ温度でも RO 周波数が高くなり、計算式に当て嵌めた際に計算温度が(*Typical, Typical*)よりも低く見積もられる。一方、(*Slow, Slow*) ではトランジスタの動作が低速であるため、同じ温度でも周波数が低くなり、計算式に当て嵌めた際に計算温度が(*Typical, Typical*)よりも高く見積もられる。

図 3.9 (b) は、提案するキャリブレーション手法を適用した場合の計算温度と実際の温度の関係を示している。60°Cの測定点を初回測定時と見なし、60°Cにおける測定周波数を用いて、キャリブレーション処理である計算式パラメータの補正を行う。(*Fast, Fast*) の条件における初回測定時の周波数比率は $\{F_{(Typical, Typical)}(60^{\circ}\text{C})/F_{(Fast, Fast)}(60^{\circ}\text{C})\}$ であり、(*Slow, Slow*) の条件における初回測

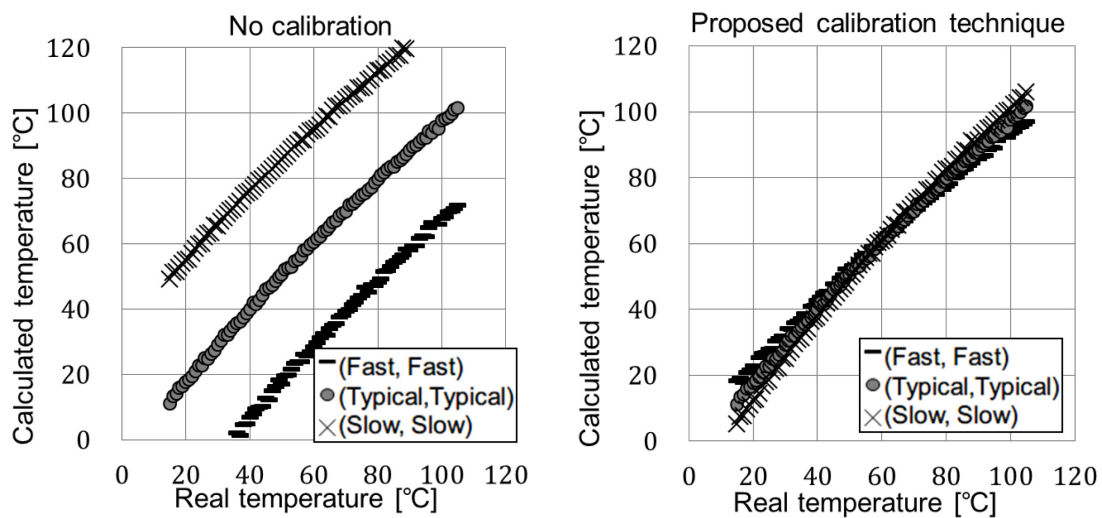
定時の周波数比率は $\{F_{(Typical,Typical)}(60^{\circ}\text{C})/F_{(Slow,Slow)}(60^{\circ}\text{C})\}$ である.

図 3.9 (b)に示したキャリブレーション手法を適用した結果より, キャリブレーションを行わない場合と比べて, 計算誤差が減少したことが確認できる. 特に, 60°C 付近は, キャリブレーションに用いた温度に近いので, 誤差も小さい.

表 3.4 に, 図 3.9 に示したキャリブレーション手法の評価として, 残差の標準偏差の平均や, 誤差量の最大値と最小値を示す.

キャリブレーションが行われない場合, $(Fast, Fast)$ における温度と電圧の測定誤差はそれぞれ -51.91°C , 313.47mV である. 提案手法を適用することで, 誤差はそれぞれ -0.07°C , 0.85mV に低減される. 一方, $(Slow, Slow)$ に対しては, キャリブレーションが行われない場合の温度と電圧の測定誤差はそれぞれ 28.80°C , -248.02mV であり, 提案手法を適用することで, -0.28°C , -1.02mV に低減される. これらの結果より, 提案するキャリブレーション手法は, プロセス変動の影響を低減可能なことが確認できる.

キャリブレーション適用後の測定誤差を確認すると, 温度差が大きくなるにつれて増加しているように見える. 例えば, 図 3.9(b) の $(Fast, Fast)$ において, 60°C の温度測定誤差は 0.03°C であるが, 100°C での温度測定誤差は -4.89°C であった. これは, 現状のキャリブレーション手法は初回測定時の温度と電圧の 1 点のみを用いて行われるためであり, キャリブレーションに用いた温度と電圧と, 実際の温度と電圧の差が大きくなるにつれて計算誤差が拡大する可能性があると考えられる. プロセス変動の影響を低減するキャリブレーション手法の今後の課題は, この問題を解決するために必要となる.



(a) キャリブレーションなし

(b) キャリブレーションあり

図 3.9 キャリブレーションによるプロセス変動の影響低減の効果

表 3.4 キャリブレーション手法の効果 (180nm)

| 180 nm V_0 : 1.80V T_0 : 60°C | | Residual error | | | | |
|---|---------|---------------------|--------------|--------------|------------------|--------------|
| | | Without calibration | | | With calibration | |
| Process variation | | (Typical, Typical) | (Fast, Fast) | (Slow, Slow) | (Fast, Fast) | (Slow, Slow) |
| Temperature [°C] | +Max. | 0.58 | -47.10 | 31.16 | 5.35 | 5.04 |
| | -Max. | -1.23 | -57.96 | 25.23 | -5.85 | -5.62 |
| | Average | -0.27 | -51.92 | 28.80 | -0.07 | -0.28 |
| Voltage [mV] | +Max. | 1.76 | 328.35 | -235.43 | 12.95 | 10.59 |
| | -Max. | -3.59 | 300.82 | -257.61 | -12.65 | -15.50 |
| | Average | -0.97 | 313.47 | -248.02 | -0.85 | -1.02 |

第4章 温度電圧モニタ回路

4.1 概説

RO が温度電圧モニタ（以下，TVM と表記）に使用される場合，RO を構成するトランジスタが時間経過と共に劣化して周波数が低下し，TVM としての測定精度が低下する．エレクトロマイグレーションや HCI などの劣化現象は，RO の発振を停止させてトランジスタを動作させないことで回避することができるが，RO が発振していない場合でも，NBTI によってトランジスタの劣化が進行することが知られている．本節では，微細化に伴い顕在化されている NBTI に着目し，耐 NBTI 劣化の RO 構造について述べる．本論文では NBTI のみに着目しているが，より微細な CMOS テクノロジで NBTI ではなく PBTI の影響が大きくなる場合は，提案手法である耐 NBTI 劣化の構造のアイデアは PBTI に拡張することが可能であると考えられる．

4.2 RO における NBTI 劣化 現象

PMOS トランジスタが“ON”である場合，PMOS トランジスタには NBTI が生じる．一方，PMOS トランジスタが“OFF”である場合，トランジスタは劣化しない．PMOS トランジスタの状態が“ON”から“OFF”に切り替わった際や，PMOS トランジスタが“OFF”である場合に発生する NBTI の回復効果が知られているが，劣化を完全に回復させて元の状態に戻るには，時間が掛かりすぎるといった問題がある[26-28]．

図 4.1 に，1 つの 2 入力 NAND と 4 つのインバータから構成される一般的な RO 構造を示す．この RO は，発振モードと非発振モードである 2 つの動作モードを持つ．En が 1 に設定されると RO は発振モードとして動作し，En が 0 に設定されると RO は非発振モードに移行して発振が停止する．RO が非発振モードである間，インバータ A と B の PMOS トランジスタは“ON”状態を保ち続けるため，インバータ A と B の PMOS ト

ランジスタは NBTI によって劣化が進行する。

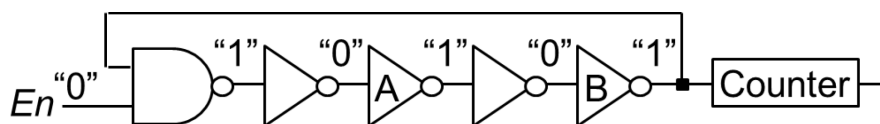


図 4.1 一般的な RO 構成

4.3 耐 NBTI 劣化の RO 構成

本節では、RO の非発振モードで発生する NBTI を抑止するための RO 構造を提案する。図 4.2 は、2 入力 NAND ゲートの奇数段で構成された RO の耐 NBTI 劣化構造の例である。RO の発振は、制御信号である En および Start によって制御され、図 4.3 に示す様に、次の 3 つの動作モードを持つ。

1. 非発振モード

En と Start が 0 に設定された場合、RO は非発振モードとなる。全ての 2 入力 NAND ゲートの出力 S3 と次段の入力 S2 は 1 を保持し続けるため、RO は発振しない。図 4.2 に示す 2 入力 NAND ゲート内の全てのトランジスタ P1, P2, N1, N2 は表 4.1 に示す状態に保持される。ここで、P1 と P2 は PMOS トランジスタであり、N1 と N2 は NMOS トランジスタである。そして、2 入力 NAND ゲートの発振に使用されるトランジスタは P1 と N1 である。図 4.2 に示す構造では、P1 が “OFF” 状態を保持し続けるため、RO の非発振モードの間は P1 に NBTI が発生しない。また、N1 は NMOS であるため NBTI は発生しない。この時、PMOS トランジスタである P2 は “ON”，NMOS トランジスタ N1 は “OFF” となる。P2 が “ON” を維持するため、非発振モードの間 P2 に NBTI が生じるが、P2 は発振のために使用されるトランジスタではないため、P2 の劣化は発振に影響せず、RO の周波数は変わらない。

2. 初期化モード

Start が 0 であり, En が 1 に設定された場合, RO は初期化モードとなる. ゲートの出力は発振を開始する前に初期化され, 2 入力 NAND ゲートの出力は交互に “0” と “1” を保持する. 初期化モードでは, 同時に複数のゲート出力の値を変化させた際に生じる信号の衝突を防止する役目を持つ. この初期化モードは他のモードよりも遙かに短く, 数クロックであるため, 初期化モードでの NBTI の影響は無視することができる.

3. 発振モード

En が 1 に設定され, Start が 1 に設定された場合, RO は発振モードとなる. 初期化モードの後に Start を 0 から 1 に切り替えることで, RO が発振する. 発振モードでは, PMOS トランジスタ P1 が繰り返し “ON” と “OFF” の状態を切り替わり続ける. P1 は発振モードの期間中に “ON” である場合に NBTI が生じる. しかし, RO の発振時間は, フィールドでの非発振モードの時間に比べて遙かに短くすることができる. 5.7 節の例では, 発振時間約 $1\mu\text{s}$ は周波数を安定化させるために十分であることが占められている. そのため, チップ内の温度と電圧を連続的に常時行う必要がない場合には, 発振モードでの P1 の NBTI は無視することができる. 図 4.2 に示した 2 入力 NAND における耐 NBTI 劣化構造と同様に, 他の RO の種類に対しても耐 NBTI 劣化構造を実現することができる. 図 4.4 に, 4 入力 ORNAND ゲートで構成された RO の例を示す.

図 4.4 に示す 4 入力 ORNAND ゲートの場合, 発振に使用されるトランジスタは PMOS トランジスタ P4 および NMOS トランジスタ N4 である. 非発振モードにおいて, P4 が “OFF” を保持し続けているため, NBTI は発生しない. また, N4 は NMOS トランジスタであり, NBTI は発生しない. 他のトランジスタは発振に使用されるトランジスタではないため, P4 と N4 以外のトランジスタに劣化が生じて RO の発振には影響せず, 周波数は変わらない.

したがって, エレクトロマイグレーションや HCI などの劣化を回避するためだけに

RO の発振制御を行うのではなく、提案する RO 構造を用いることで、NBTI に対する劣化耐性のある RO を構成することが可能となる。

また、エレクトロマイグレーションや HCI の劣化は RO の発振モードで進行するが、発振モードの期間は非発振モードと比較して非常に短いため、無視できる程度である。

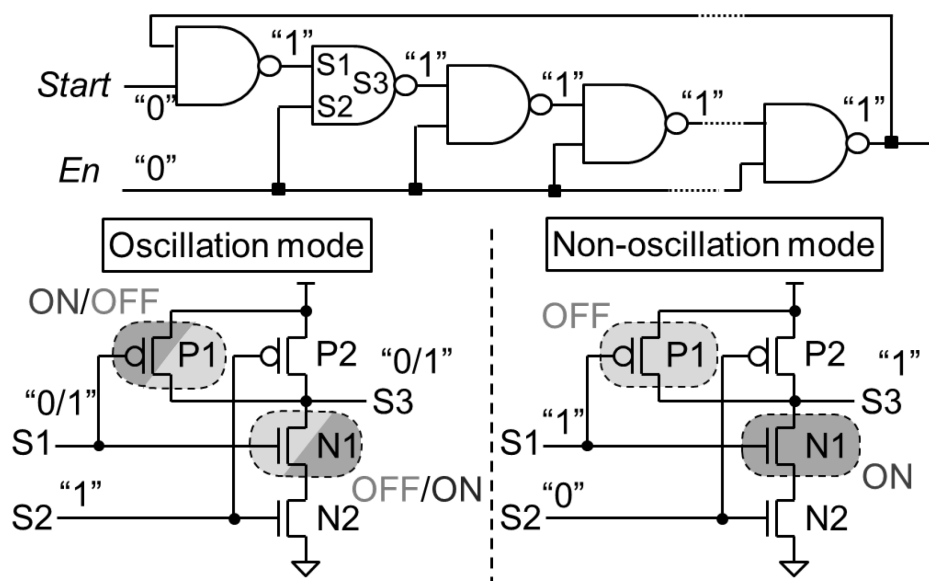
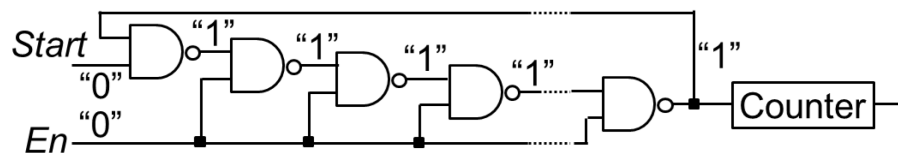
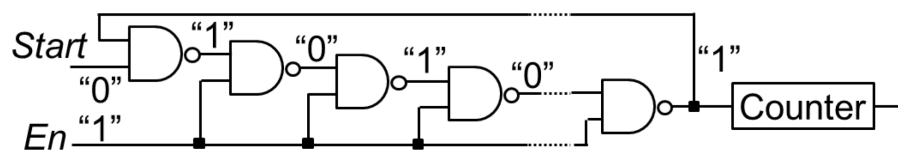


図 4.2 耐 NBTI 劣化の RO 構成 (2 入力 NAND ゲート)

・Non-oscillation mode:



・Initialization mode:



・Oscillation mode:

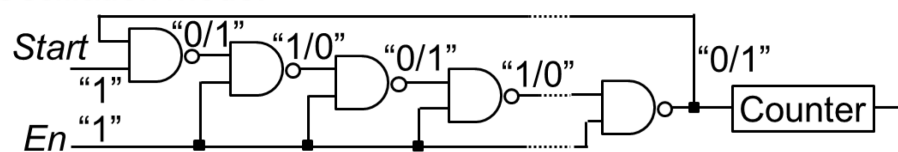


図 4.3 TVM の動作モード

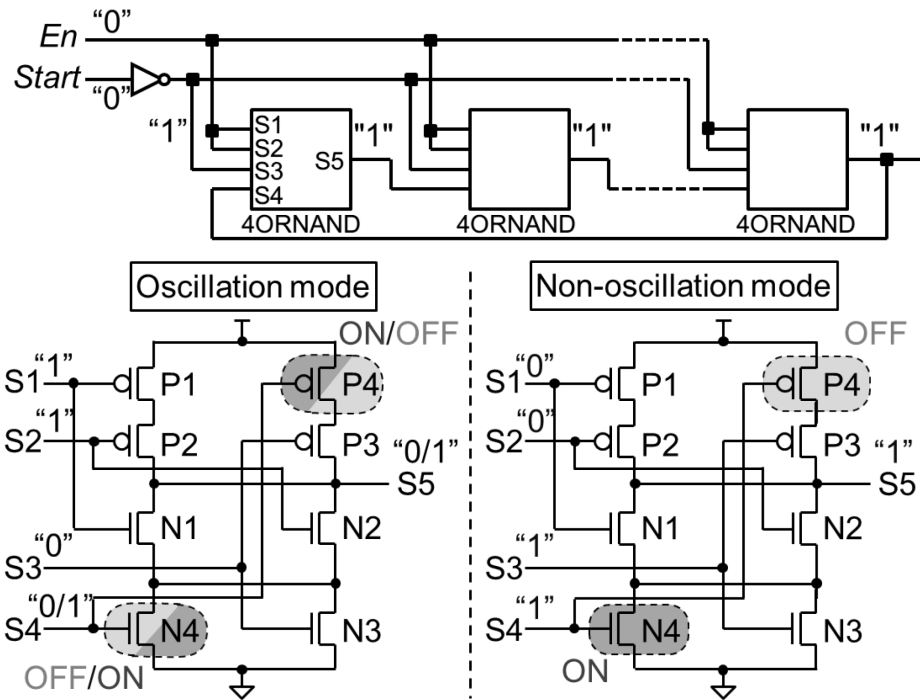


図 4.4 耐 NBTI 劣化の RO 構成 (4 入力 ORNAND ゲート)

表 4.1 2 入力 NAND ゲートにおけるトランジスタの状態

| | Signal value | | State of value | | | |
|-----------------|--------------|--------|----------------|--------|-----|-----|
| | S2(En) | S1(S3) | P1 | N1 | P2 | N2 |
| Oscillation | 1 | 0/1 | ON/OFF | ON/OFF | OFF | ON |
| Non-Oscillation | 0 | 1 | OFF | ON | ON | OFF |

4.4 R0 周波数の温度電圧依存性

RO に用いる回路構造と周波数に影響するパラメータの関係は、第 3.4 節で述べた式 (3.13) や式 (3.14) で述べた通りである。周波数に影響するパラメータの中で、移動度 μ と閾値電圧 V_{th} は温度依存性を持ち、供給電圧 V_{DD} であるため電圧依存性を持つ。ゲ

ート長 L_G やゲート酸化膜容量 C_{ox} 、閾値電圧 V_{th} は温度と電圧の特性 ($T&V$ 特性) に影響を与えるが、これらのパラメータは CMOS テクノロジによって定められている値である[]。RO の段数 RO_Stage が異なると周波数が変動するため、異なる $T&V$ 特性が生成されるが、線形近似を行った際に、周波数に対する係数が定数倍されるだけであるため、RO の段数による $T&V$ 特性への影響は小さい。特別なセルを設計することなく、標準的なセルライブラリを用いて制御可能な $T&V$ 特性に関するパラメータは、ゲート幅 W_G と負荷容量 C_L である。ゲート幅 W_G は論理ゲートの駆動能力 (ドライブ強度) に依存し、負荷容量 C_L は論理ゲートの出力に接続されるファンアウト数に依存する[29-32]。

標準セルライブラリでは、各論理ゲートの異なるドライブ強度を持ついくつかのセルが提供されている。例えば、同じ 2 入力 NAND ゲートでも、ドライブ強度 (ゲート幅 W_G の値) が異なる 2NANDx1 や 2NANDx2 などのセルがあり、利用可能なセルはライブラリによって定められている。一方、各ゲート出力に負荷するファンアウト数は、設計段階において許容可能な最大まで任意に選択することができる。したがって、RO の $T&V$ 特性は、RO を構成する論理ゲートのドライブ強度や、接続するファンアウト数を変更することで制御することができるため、標準セルライブラリで提供されるセルを用いて異なる $T&V$ 特性の RO を生成することが可能となる。

RO の持つ周波数と温度、周波数と電圧の線形性などの $T&V$ 特性は、RO に用いる論理ゲートのドライブ強度や接続するファンアウト数によって決定される。ドライブ強度を増加した場合、式 (3.14) で与えられたパラメータの比率 $\{C_L/W_G\}$ が減少するため、温度依存性や電圧依存性を持つパラメータに影響する度合いも減少し、RO としての温度や電圧の依存性が低下する。一方、ファンアウト数を増加すると、 $\{C_L/W_G\}$ も増加し、温度依存性や電圧依存性を持つパラメータに影響する度合いが増加するため、RO としての温度や電圧の依存性が上昇する。

このように、RO に用いる論理ゲートのドライブ強度や接続するファンアウト数を変

えることで、温度依存性や電圧依存性を持つパラメータに影響する度合いを変化させることができ、RO の異なる $T\&V$ 特性を生成することができる。

さらに、論理ゲートの種類が異なる場合（例えば、2 入力 NAND や 3 入力 NAND など）、異なる $T\&V$ 特性を得ることができる。2 入力 NAND と 3 入力 NAND では、セルを構成するトランジスタ数が異なるため、同じ駆動力や同じファンアウト数でも、式 (3.14) のパラメータの比率 $\{C_L/W_G\}$ が異なり、トランジスタモデルの自体ももっと複雑である。

論理ゲートの種類が同じであってもドライブ能力とファンアウト数が異なる場合は、異なる $T\&V$ 特性を得ることは難しい。ドライブ強度が N 倍であるとしても、 $\{C_L/W_G\}$ としての比率は $1/N$ であるため、線形近似を用いた際に、同じ論理ゲートの種類を用いた RO 同士は互いに類似した $T\&V$ 特性となる可能性がある。例えば、RO1 として 2 入力 NANDx1 を用いて、RO2 として 2 入力 NANDx2 を用いた場合などは、RO1 と RO2 が類似した $T\&V$ 特性となる可能性があり、重回帰分析を用いた際に、測定精度が向上しない可能性がある。

4.5 RO 選択手法

提案モニタ (TVM) は $T\&V$ 特性の異なる 3 種類の RO から構成されている。高い測定精度を実現するために重要な要素の 1 つは、RO として利用可能な多くの種類の論理ゲートのメニューから、モニタとして最適な 3 種類の RO を選択することである。異なる論理ゲートやドライブ強度、ファンアウト数など、利用可能な RO が N 種類存在するとき、3 種類 RO としての組合せの数は ${}_NC_3$ となる。

TVM としての温度電圧測定精度を算出するためには、それぞれの RO に対して詳細な回路シミュレーションを実施し、周波数と温度、電圧の関係データを取得する必要がある。RO に対するシミュレーション時間は、利用可能な RO の種類が増えるに従いも

増加するだけでなく、3種類の RO を用いて TVM としての温度電圧測定精度を評価する手間も増加する。したがって、全ての RO に対する詳細なシミュレーションや、全ての組合せに対する温度電圧測定精度評価を行うことは現実的ではない。

本節で提案する RO 選択手法は、全ての組合せの温度電圧測定精度を調査することなく、最適な組合せを選択すること。提案する RO 選択手法は、まず、SPICE シミュレーションを用いてそれぞれの RO の温度と電圧の特性である線形性を調査し、その線形性の情報を利用して TVM として構成する RO を選択する。

TVM に用いる 3 種類 RO である RO1, RO2, RO3 を選択する手順の概要を以下に示す。

Step 1 : TVM として利用可能な構成の異なる様々な RO を準備。

Step 2 : 各 RO の温度や電圧に着目した際の線形性を算出。

Step 3 : TVM として構成する RO1, RO2, RO3 を選択。

3-1) 全 RO 候補の中から、電圧に関して線形性の高い RO を RO1 として選択

3-2) RO1 とは異なる論理ゲートの RO 候補の中から、温度に関して線形性の高い RO を RO2 として選択。

3-3) RO1 と RO2 とは異なる論理ゲートの RO 候補の中から、温度と電圧において正規化された線形性の合計値が最も高い RO を RO3 として選択。

Step 1 では、TVM として利用可能な RO の候補を用意する。4.2 節で示したように、TVM として利用する RO には、耐劣化構造を持つ必要がある。例えば、図 4.2 の 2 入力 NAND ゲートを用いた RO や、図 4.4 の 4 入力 ORNAND を用いた RO は、候補として利用することができる。また、利用可能な RO の種類は、ドライブ強度やファンアウト数を変更することで増加する。

Step 2 では、組合せを調査するために、Step 1 で用意された RO の候補に対し、SPICE シミュレーションを用いて特定の温度や電圧における RO 周波数を調査する。

180nmCMOS テクノロジの場合、電圧に対する線形性を評価するために、温度は 30℃、60℃、90℃の 3 点を用いる。そして、温度に対する線形性を評価するために、電圧は 1.7V から 1.9V の 0.05V 刻み (V_{DD} が 1.8V の場合) の値を用いる。シミュレーション結果より、それぞれの温度における線形近似関数は最小二乗法を用いて導出される。この時、各温度固定値における線形近似関数の誤差の和が小さいことは、RO の電圧に関する線形性が高いことを意味しており、線形近似を行った際の誤差の和を RO の電圧に対する線形性として定義する。電圧と同様に温度に対しても、各電圧固定値における線形近似関数の誤差の和が小さいことは、RO の温度に関する線形性が高いことを意味しており、線形近似を行った際の誤差の和を、RO の温度に対する線形性として定義する。

Step 3 では、Step 2 で算出した各 RO の電圧に対する線形性や温度に対する線形性の最も高い RO を選択していく。この時、類似の $T&V$ 特性となる RO の組合せを選ばないために、異なる種類の RO が選択される。例えば、2 入力 NAND ゲートの RO が RO1 として選択された場合、RO2 と RO3 は RO1 の 2 入力 NAND ゲートではない 3 入力 NAND や 4 入力 NAND、4 入力 ORNAND などが候補となる。RO3 では、電圧と温度に対して正規化された線形性の和が最も高い RO が選択される。

4.6 RO 選択手法の評価実験

RO 選択手法を評価するため、180nm および 45nmCMOS テクノロジを用いた SPICE シミュレーションによる評価を行う。それぞれの CMOS テクノロジにおいて、RO 選択手法の評価のために利用可能な RO の種類を表 4.2 および下記に示す。

- ・ 180nmCMOS テクノロジ：

- ・ 論理ゲートの種類：INV, NAND (2,3,4 入力), ORNAND (4 入力)

- ・ ドライブ強度：X1, X2, X3

- ・ 45nmCMOS テクノロジ：

- ・論理ゲートの種類：INV，NAND（2,3,4 入力），ORNAND（4 入力）
- ・ドライブ強度：X1，X2，X4

論理ゲートの種類としては，図 4.2 に示した 2 入力 NAND ゲートや，図 4.4 に示した 4 入力 ORNAND ゲート等が含まれている．インバータの RO は耐劣化構造ではないが，参考値として示すために候補に含めた．また，各論理ゲートのドライブ強度の値として 3 種類（180nmCMOS テクノロジの場合は X1，X2，X3）が候補に含まれている．よって，RO の候補としては 15 種類が利用可能である．3 種類 RO としての組合せの数は ${}_{15}C_3$ であるが，類似の $T\&V$ 特性となる RO の組合せを選ばないことを前提とすると，TVM として構成可能な 3 種類 RO の組合せは 108 種類となる．

180nmCMOS テクノロジにおける各 RO の電圧に対する線形性の評価結果を図 4.5 に示す．電圧に対する線形性を算出する際の温度の固定値は 30℃，60℃，90℃である．図 4.5 より，4 入力 ORNAND のドライブ強度 X3 の RO が最も良い線形性を持つ（線形近似の誤差の和が小さい）ことが確認でき，RO1 として選択される．温度に対する線形性の評価結果を図 4.6 に示す．温度に対する線形性を算出する際の電圧の固定値は 1.7V，1.8V，1.9V である．図 4.6 より，2 入力 NAND のドライブ強度 X2 の RO が最も良い線形性を持つことが確認でき，RO2 として選択される．図 4.5 と図 4.6 で示した温度と電圧の線形性に対して正規化された線形性の合計値を図 4.7 に示す．この結果より，4 入力 NAND のドライブ強度 X2 の RO は最も良い線形性を持つことが確認でき，この RO が RO3 として選択される．

表 4.3 に，180nm および 45nmCMOS テクノロジにおける提案手法を用いて選択した 3 種類の RO を示す．また，TVM としての温度電圧測定精度を評価するため，選択した 3 種類 RO における線形近似の誤差を示す．ここで示す誤差は，重回帰分析を行った際の残差の標準偏差として算出した．180nmCMOS テクノロジでは，4 入力 ORNANDx3，2 入力 NANDx2，4 入力 NANDx2 の RO が選択され，温度と電圧の精度はそれぞれ 1.19℃，

2.66mV である。45nmCMOS テクノロジでは、4 入力 ORNANDx1, 2 入力 NANDx2, 4 入力 NANDx1 の RO が選択され、温度と電圧の精度はそれぞれ 3.05°C, 7.71mV である。

提案手法の有効性を検証するため、TVM として利用可能な RO の全組合せ (108 通り) に対して、温度と電圧の線形近似誤差の評価を行った。選択した 3 種類 RO の温度電圧精度における順位、温度と電圧に対してそれぞれ最も良い組合せの精度、全組合せの温度電圧精度の平均値を表 4.4 に示す。45nmCMOS テクノロジでは、電圧精度は 1 位、温度精度は 3 位となり、ほぼ最高の組合せが選択されていることが確認できる。180nmCMOS テクノロジでは、電圧精度は 3 位であり 1 位に近い組合せが選択されていることを確認できるが、温度精度は 22 位であった。図 4.8 に利用可能な RO の全組合せの温度電圧精度を示す。縦軸は温度精度、横軸は電圧精度、プロットされている点はそれぞれ 3 種類 RO の組合せにおける温度電圧精度である。提案手法では、RO の持つ線形性を評価尺度として利用し、温度と電圧の両方に対して重みを付けることなく、バランスの良い組合せを選択している。温度精度を優先する場合などには、RO1 と RO2 共に温度に対する線形性の良い RO を選択するなど、TVM の利用用途に合わせて RO の構成を選択可能にすることで、更なる精度向上を見込むことができる。

提案手法では RO の持つ線形性のみに着目して選択に利用したが、最も精度が良い RO の組合せが選択されていないため、RO の線形性だけでは不十分であることが考えられる。今後の課題として、更に精度の良い組合せを選択するためには、線形性だけを利用するのではなく温度や電圧に対する周波数の勾配 ($\Delta F/\Delta T$ や $\Delta F/\Delta V$) などの他の要素も選択基準として取り入れていくことが必要である。

表 4.2 利用可能な RO のメニュー

| Technology | 180nm | 45nm |
|---------------------------------|--|--|
| Cell type | INV, ORNAND(input-4), NAND(input-2,3,4) | INV, ORNAND(input-4), NAND(input-2,3,4) |
| Drive strength (W_G size) | x1, x2, x3 | x1, x2, x4 |

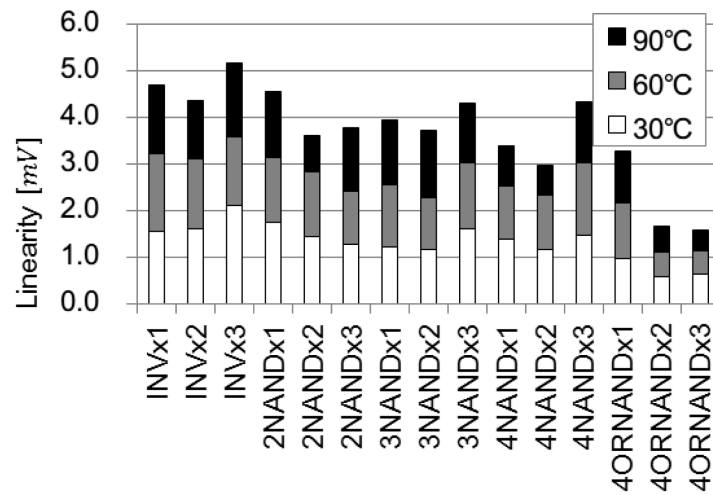


図 4.5 電圧に対する線形性評価 (RO1 選択)

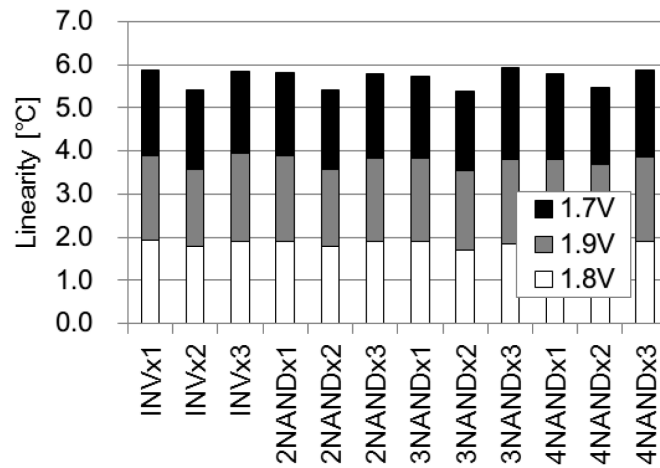


図 4.6 温度に対する線形性評価 (RO2 選択)

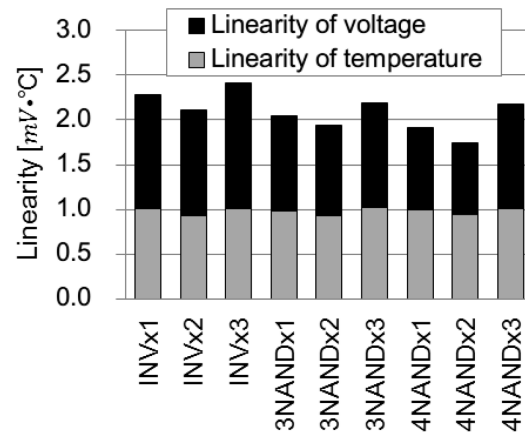


図 4.7 温度と電圧に対する線形性評価 (RO3 選択)

表 4.3 選択した RO の組合せ

| Technology | Selected ROs by proposed method | | | Approximation error | |
|------------|---------------------------------|---------|---------|---------------------|--------------|
| | Step1 | Step2 | Step3 | Temperature [°C] | Voltage [mV] |
| 180nm | 4ORNANDx3 | 2NANDx2 | 4NANDx2 | 1.19 | 2.66 |
| 45nm | 4ORNANDx1 | 2NANDx2 | 4NANDx1 | 3.05 | 7.71 |

表 4.4 選択した RO の線形誤差

| | Temperature error [°C] | | | Voltage error [mV] | | |
|-------|------------------------|---------|---------|--------------------|---------|---------|
| | Selected ROs | #RANK:1 | Average | Proposed ROs | #RANK:1 | Average |
| 180nm | 1.19 (RANK:22) | 1.00 | 1.82 | 2.66 (RANK:3) | 1.99 | 4.79 |
| 45nm | 3.05 (RANK:3) | 3.03 | 5.43 | 7.71 (RANK:1) | 7.71 | 17.27 |

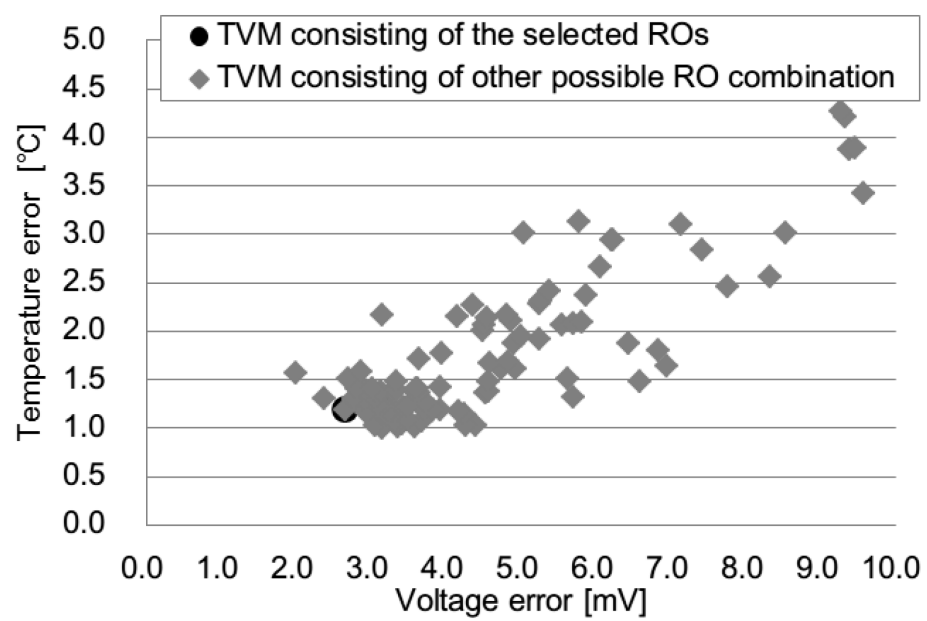


図 4.8 利用可能な RO の全組合せにおける近似誤差

第5章 試作チップによる評価

5.1 概説

本章では，提案した RO 周波数からチップ内の温度電圧を測定する手法やプロセス変動の影響を低減可能なキャリブレーション手法の有効性を検証するため，試作チップを用いた評価を行う．5.2 節では，TVM を搭載した試作チップの構成について述べる．5.3 節では，試作チップを用いた実験環境について述べる．5.4 節では，電圧測定の妥当性について示す．5.5 節では，温度測定の妥当性について示す．5.6 節では，複数の試作チップを用いてキャリブレーション手法の有効性について示す．最後に 5.7 節では，TVM の測定時間について述べる．

5.2 試作チップの構成

180nmCMOS テクノロジーを用いて設計したチップの構成を図 5.1 に示す．試作チップに搭載している機能は以下の通りである．

- TVM : 3 種類の RO とカウンタのペア
- TVM_controller : TVM の制御回路
- Heating_circuit : セルフヒーティング効果でチップを加熱させる発熱回路
- Heating_circuit_controller : 発熱回路の制御回路

図 5.2 に TVM を用いた温度電圧測定の概要を示す．1 組の TVM は 3 種類の RO とカウンタのペアで構成される．RO の発振制御や RO カウンタ値の取り出し等は TVM 制御回路によって行われ，測定した RO カウント値はオンチップまたはオフチップに搭載される不揮発性メモリ等の記憶素子に格納される．格納した RO カウント値から温度と電圧を算出する処理は，オンチップまたはオフチップのソフトウェアまたはハードウェアを使用して行われる．温度と電圧を算出する処理はデジタル処理で実現されるため，

計算処理の実装方法は、TVM を搭載する製品や使用用途に合わせて任意に決めることができる。

TVM は全て論理ゲートで構成される小規模な回路であるため、チップ上の任意の位置に配置することができる。複数の TVM をチップ上の様々な位置に配置して温度や電圧を監視することで、ホットスポットや局所的な IR ドロップをきめ細かく把握することができる。

TVM に搭載した RO 周波数の温度特性を評価するためには、チップの温度を変化させ、TVM に影響する温度を変える必要がある。そこで、試作チップには、セルフヒーティング効果によりチップを強制的に加熱するための発熱回路を搭載している。1つの発熱回路にはインバータ9段の RO を1000個内蔵しており、100個単位で制御可能な構造である。発熱回路を稼働させる割合は10%刻みで制御でき、この割合を本論文では稼働率と呼ぶ。つまり、発熱回路の稼働率が10%である場合は、100個の RO が稼働していることを意味しており、稼働率を上げるとより多くの RO が動作するため、セルフヒーティング効果によりチップ内の温度が上昇する。発熱回路内の RO はセルフヒーティング効果を発生させるためだけに使用され、TVM に用いる RO とは構造や用途が異なる。

試作チップに搭載する TVM の RO 構造を図 5.3, 図 5.4, 図 5.5 にそれぞれ示す。図 5.3 の RO1 は2入力 NAND ゲートの51段、ファンアウト数は1である。図 5.4 の RO2 は4入力 ORNAND ゲートの19段、ファンアウト数は4である。図 5.5 の RO3 は2入力 NAND ゲートの21段、ファンアウト数は7である。これらの RO に用いた論理ゲートのドライブ強度は全て同じものを使用している

チップ上には TVM を6個搭載している。4個の TVM はチップの四隅に配置し、残りの2個はチップ中央に配置した。また、4個の発熱回路は TVM の間にそれぞれ配置している。

本論文で使用した試作チップは、図 5.1 に示したチップレイアウトの上辺と下辺に 2 つのペアの電源ピンが配置されている QFP (Quad Flat Package) である。

表 5.1 は 1 個の TVM と TVM_controller の面積評価として、セル数を示している。TVM は RO とカウンタのペアで構成されているため、セル数は 291 個と少なく、小規模な回路であることが確認できる。

今回試作した TVM には、設計の都合上、余裕を持ってフィラーセルを埋め込んでおり、チップサイズも 2.5mm 角と小さいため、図 5.1 のレイアウト上では、TVM の面積が占める割合はあまり小さく見えない可能性がある。しかし、大規模な産業チップに組み込む際は、TVM の面積が占める割合が非常に小さくなるため、チップ設計への影響は小さいと予測される。

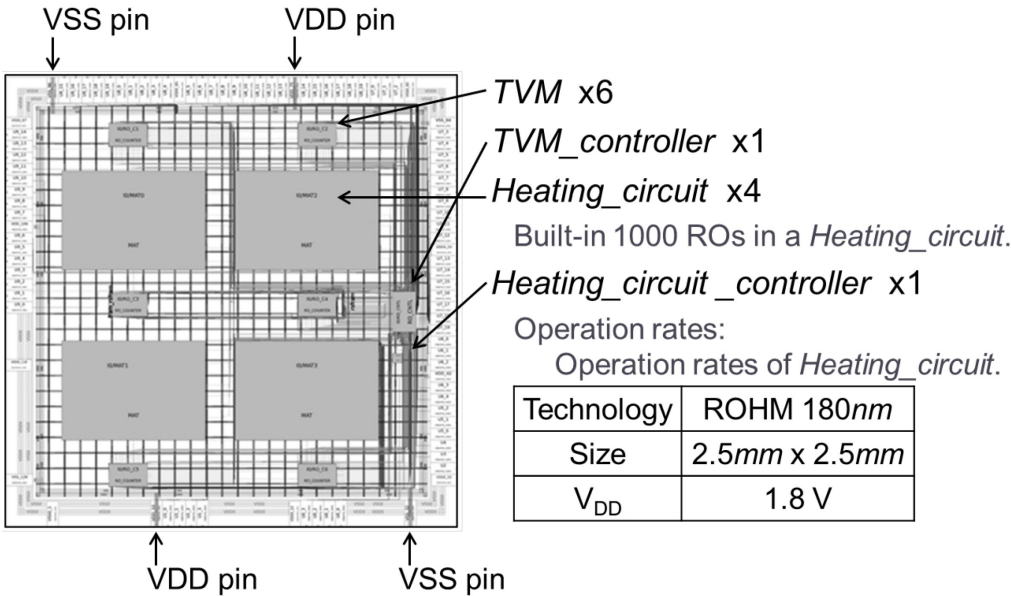


図 5.1 試作チップ構成

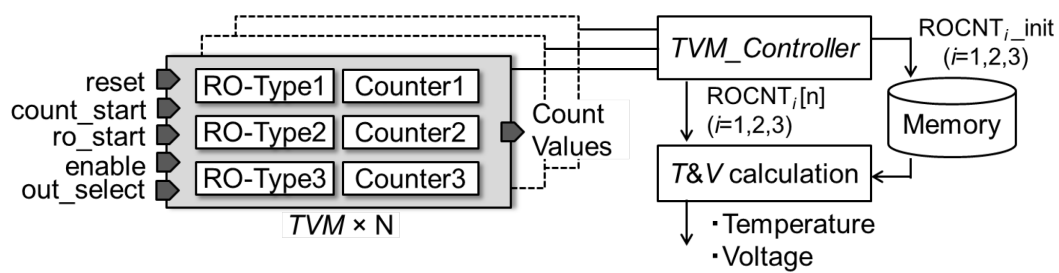


図 5.2 TVM の構成

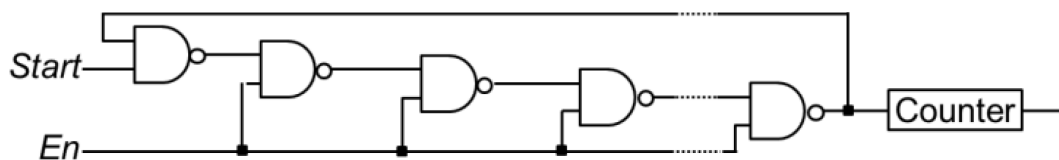


図 5.3 RO1: 2 入力 NAND ゲート, 51 段, ファンアウト数 1

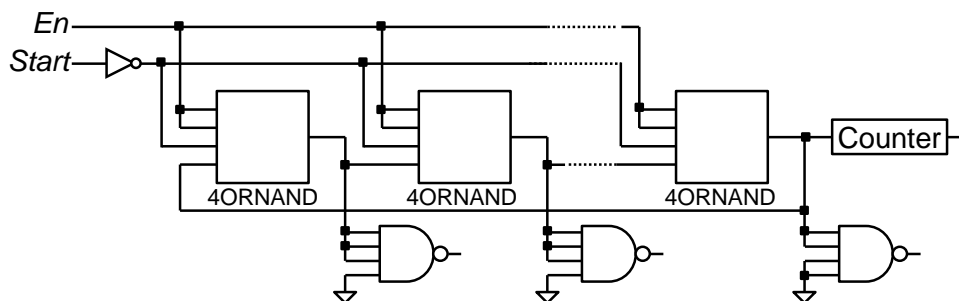


図 5.4 RO2: 4 入力 ORNAND ゲート, 19 段, ファンアウト数 4

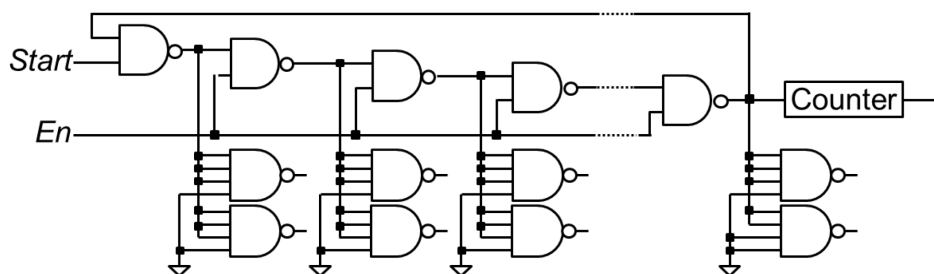


図 5.5 RO3: 2 入力 NAND ゲート, 21 段, ファンアウト数 7

表 5.1 TVM の面積（セル数）評価

| | TVM | | | | | TVM_Controller |
|-----------------|-----|-----|-----|---------|-------|----------------|
| | RO1 | RO2 | RO3 | counter | total | |
| Number of cells | 55 | 66 | 44 | 126 | 291 | 407 |

5.3 測定手順

試作チップを用いた温度電圧測定の処理手順を図 5.6 に示す．前処理として RO の周波数 F と温度 T ，電圧 V の関係をシミュレーションにより求め，求めた関係より温度電圧計算式を導出する．計算式に用いる係数などの計算パラメータは計算処理回路（ハードウェアもしくはソフトウェア）に印加する．試作チップに搭載している TVM を稼働させるタイミングにて，測定させる TVM を指定し，RO の発振制御を行う．TVM に影響している温度電圧における RO カウント値を測定後，読み出す TVM を指定して RO カウント値を取り出す．

3.4 節で述べた通り，計算処理は初回測定時のキャリブレーション処理と温度計算処理から構成される．まず初めに，キャリブレーション処理の計算式を式 (5.1)，(5.2)，(5.3) に示す．

$$\alpha[n] = RO_1CNT^{Typ}(T_0, V_0) \div RO_1CNT[n](T_0, V_0) \quad (5.1)$$

$$\beta[n] = RO_2CNT^{Typ}(T_0, V_0) \div RO_2CNT[n](T_0, V_0) \quad (5.2)$$

$$\gamma[n] = RO_3CNT^{Typ}(T_0, V_0) \div RO_3CNT[n](T_0, V_0) \quad (5.3)$$

n は温度モニタを複数搭載した場合のモニタ番号である． $RO_iCNT[n](T_0)$ ($i = 1, 2, 3$) は測定条件が既知となる初回測定時 (T_0, V_0) の RO カウント値であり， $RO_iCNT^{Typ}(T_0, V_0)$ は Typical 条件を仮定したモニタの温度と電圧 (T_0, V_0) における RO カウント値である． $\alpha[n], \beta[n], \gamma[n]$ はそれぞれ各 RO の初回測定時の周波数（カウント値）比率による係数補正值である．

次に，式 (3.16) に示した温度計算処理の計算式を用いて，RO カウントからチップ

内の温度を計算式に展開した式 (5.4) に示す.

$$\begin{aligned}\Delta T[n] \cong & a_{\Delta T} * \alpha[n] * \{RO_1CNT[n] - RO_1CNT[n](T_0, V_0)\} \\ & + b_{\Delta T} * \beta[n] * \{RO_2CNT[n] - RO_2CNT[n](T_0, V_0)\} \\ & + c_{\Delta T} * \gamma[n] * \{RO_3CNT[n] - RO_3CNT[n](T_0, V_0)\} + d_{\Delta T}\end{aligned}\quad (5.4)$$

$$\begin{aligned}\Delta V[n] \cong & a_{\Delta V} * \alpha[n] * \{RO_1CNT[n] - RO_1CNT[n](T_0, V_0)\} \\ & + b_{\Delta V} * \beta[n] * \{RO_2CNT[n] - RO_2CNT[n](T_0, V_0)\} \\ & + c_{\Delta V} * \gamma[n] * \{RO_3CNT[n] - RO_3CNT[n](T_0, V_0)\} + d_{\Delta V}\end{aligned}\quad (5.5)$$

$a_{\Delta T}$, $a_{\Delta V}$, $b_{\Delta T}$, $b_{\Delta V}$, $c_{\Delta T}$, $c_{\Delta V}$, $d_{\Delta T}$, $d_{\Delta V}$ は前処理の重回帰分析によって導出した温度計算式の係数等の計算パラメータであり, $RO_iCNT[n]$ ($i = 1, 2, 3$) は各モニタで測定された RO カウント値, $\Delta T[n]$ は初回測定時の温度 T_0 との差分で表現された温度計算結果, $\Delta V[n]$ は初回測定時の温度 V_0 との差分で表現された電圧計算結果である. 各 RO の係数補正值 $\alpha[n]$, $\beta[n]$, $\gamma[n]$ および初回測定時のカウント値 $RO_iCNT[n](T_0)$ は式 (5.1), (5.2), (5.3) のキャリブレーション処理で求めた値が使用される. この計算式によって RO カウント値からチップ内の温度と電圧を算出することができる.

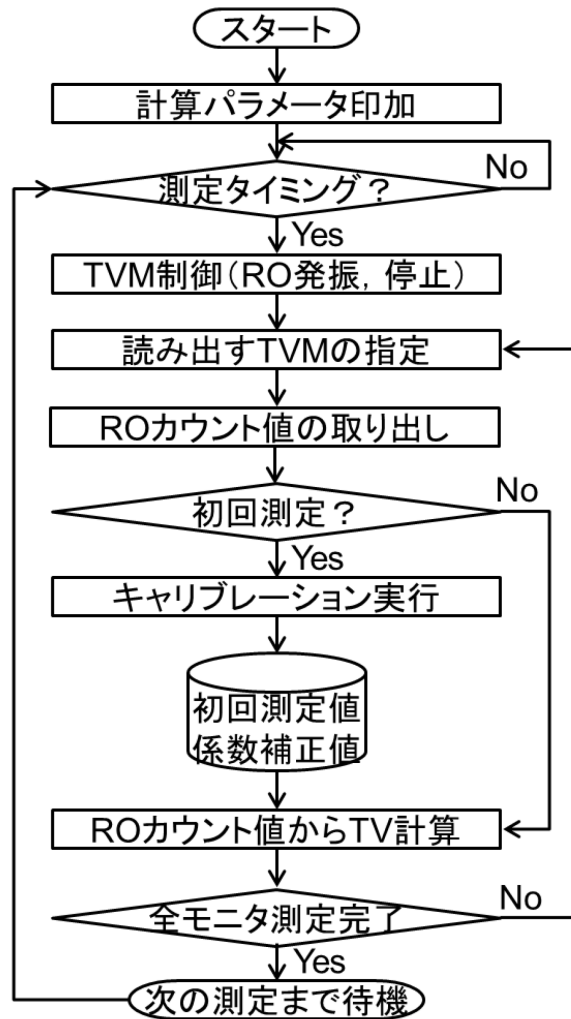


図 5.6 試作チップを用いた温度電圧測定の処理手順

5.4 実験環境

試作チップに搭載した温度電圧モニタの評価に必要な情報は、温度電圧モニタに影響しているチップ内の温度と電圧、そして、その影響下での各モニタにおける 3 種類の RO 周波数である。試作チップ評価の実験環境を図 5.7 に示す。

試作チップの供給される電源電圧は評価ボードによって制御される。評価ボード上の FPGA を介して、起動させる発熱回路や稼働率の指定などを制御するテストパターンをチップに入力する。発熱回路のセルフヒーティング効果により生じた熱がチップ全体に

伝導し、チップ全体の温度が安定した後に、温度電圧モニタに搭載している RO を指定時間発振させ、モニタ位置に影響している温度と電圧での RO の発振回数を取得する。モニタで測定される値は RO のカウント値であるが、指定した発振時間とカウント値の関係より RO 周波数が算出となる。また、温度測定の妥当性を検証するため、熱画像センサを用いてチップ表面の温度を測定する。以上の測定環境により、取得することができる温度と電圧、周波数の情報から、温度電圧モニタによるチップ内の温度電圧測定と評価、および測定の妥当性検証を行う。

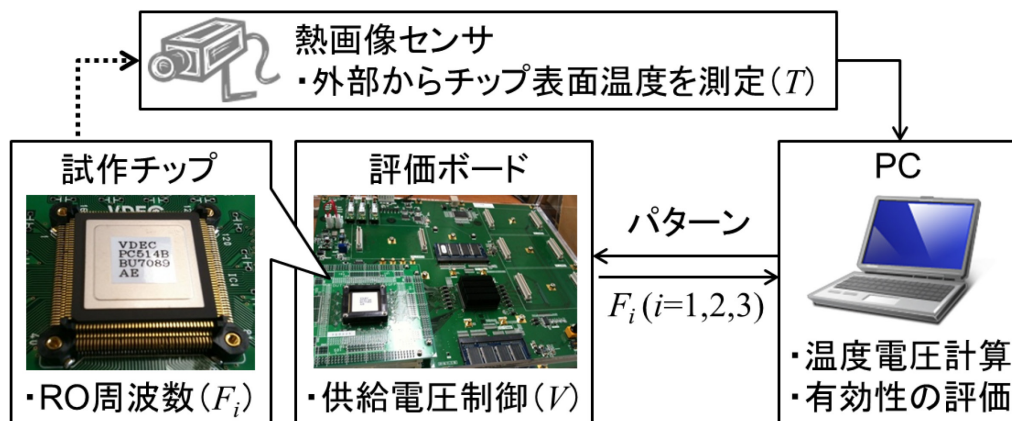


図 5.7 試作チップの実験環境

5.5 電圧測定の妥当性検証

発熱回路の稼働率を上昇させると、発熱回路で消費される電力が増加するため、TVM の位置における内部電圧が低下する。

図 5.8 は、発熱回路の稼働率を 0%～100% の 10% 刻みで変化させた際の、電流計を用いて測定したチップに印加される供給電流とチップ内の TVM を用いて RO 周波数の変動量より算出した電圧の関係を示している。電流増加量 ΔI と電圧降下量 ΔV には、 $-\Delta V = K * \Delta I$ の関係が成り立っていることが確認できる。

発熱回路の稼働率が 0%, 10%, 20% の場合は, TVM によって計算された電圧降下量は電流計で測定した電流量と比例関係にある. しかし, 発熱回路の稼働率が 20% を超えると, 電流計による測定電流値の方が若干大きくなっている. これは, チップの電源ピンの数が少ないため, 発熱回路での消費電力が大きくなった際に, 安定した電力を供給できていないことに起因すると考えられる.

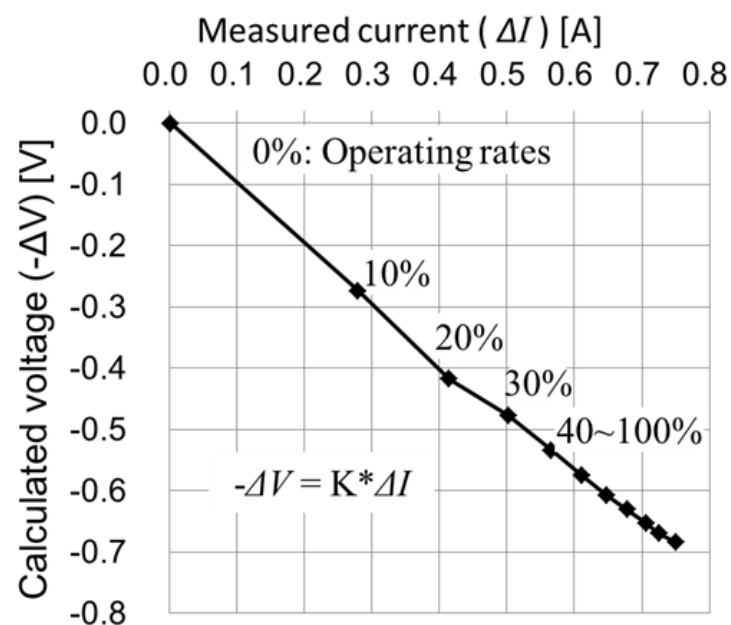


図 5.8 モニタによる測定電圧と電流計による測定電流

5.6 温度測定の妥当性検証

モニタによる温度測定の妥当性を検証するため, 試作チップに搭載した発熱回路で生成される熱のチップ内部およびチップ表面の関係について調査を行う. 図 5.9(a) は, 試作チップの内部温度と表面温度の関係を示している. 発熱回路のセルフヒーティング効果で生成された熱は, 熱伝導によりチップ内の全体に対して熱が伝わる. チップ内で発生した熱は, チップの横方向であるモニタ等の他回路に伝わるだけでなく, チップの縦方向である基板側とチップ表面側にも伝導する. チップ表面に伝わった熱は, 空気等の

外気に触れるため熱拡散により放出される．この時のチップ表面温度を熱画像センサにより測定する．

図 5.10 は、TVM により測定したチップ内部の温度と、熱画像センサで測定した表面温度の温度マップを示している．試作チップのサイズは $2.5\text{ mm} \times 2.5\text{ mm}$ であり、本研究で使用した熱画像センサの分解能に対応する表面温度のデータ数は 9 セル \times 9 セルである．実際の温度と比較するために、チップ表面のパッケージを外したベアチップの表面温度を熱画像センサによって観測する．

図 5.9(a)に示すチップ内部のバルクシリコンにおける温度 T_a は、図 5.9(b)に示す熱抵抗や熱容量等を用いた熱等価回路モデルを用いて、チップ表面の温度 T_b から計算することが可能である．チップ内部温度と表面温度の関係は、ラプラス変換を用いて、式 (5.6) のように導出することができる．

ここで、 R は熱抵抗であり、 C は熱容量である． R と C のパラメータは、チップの発熱用及び熱等価回路モデルを用いて導出する． X, Y, Z, α および β は、熱等価回路モデルから導出した定数である． T_A と T_B はそれぞれ、発熱回路を稼働させる前の初期温度と、発熱回路を動作させた後の温度との差である．

モニタによるチップ内部温度の測定と熱画像センサによるチップ表面温度の測定は、チップを発熱させつつ十分な待機時間を確保した後に実行される．また、チップによる発熱を停止させた後に十分な冷却時間を確保するため、発熱回路を変えた次の実験では、初期の内部温度と表面温度は、初回測定時と同じであると仮定される．

$$\Delta T_a = \Delta T_b \cdot RC \cdot \{X + Ye^{-\alpha t} + Ze^{-\beta t}\}^{-1} \quad (5.6)$$

図 5.11 は、TVM によって測定されたチップ内部温度と、式 (5.1) を用いてチップ表面温度から算出した内部温度を比較した結果を示す．発熱回路の稼働率が 0～20% の場合では、TVM による測定温度と式 (5.1) を用いて計算した温度はほぼ一致していることが確認できる．しかし、発熱回路の稼働率が 30% を超えると、測定温度と計算温度

の誤差が拡大している．これは，発熱回路で消費される電力が非常に大きく，チップ内部の電圧値が事前に定めた範囲外となったことが原因であると考えられる．チップ内の実際の温度と電圧の値が事前に想定した範囲外であった場合，不適切なサブ範囲が選択され，計算された値が正しくない可能性がある．

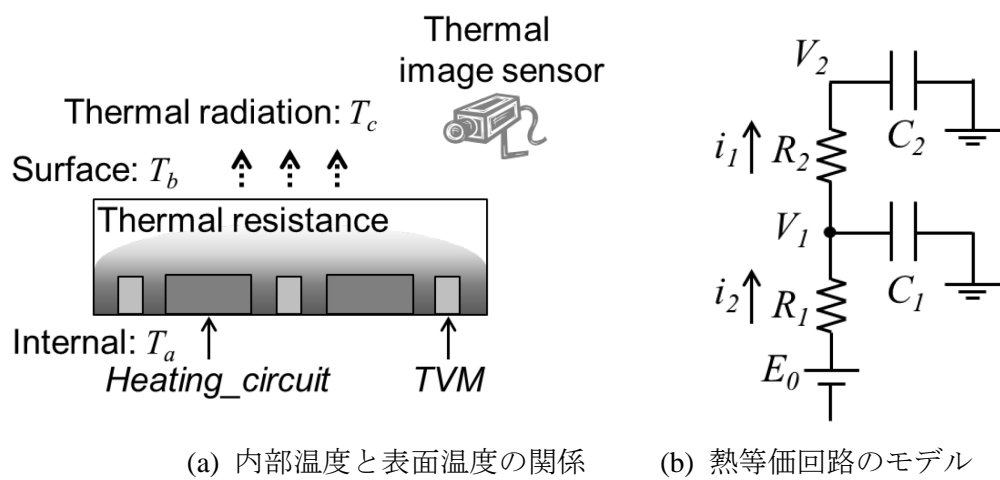


図 5.9 試作チップにおける内部温度と表面温度の関係

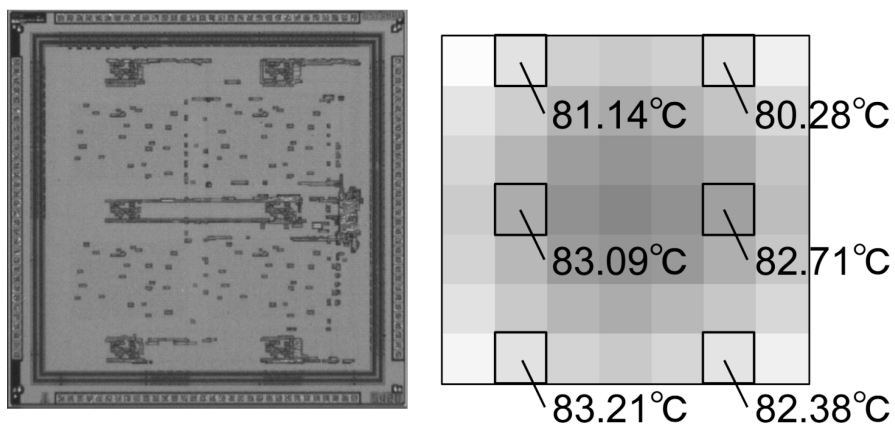


図 5.10 モニタによる測定温度と表面温度から算出した内部温度

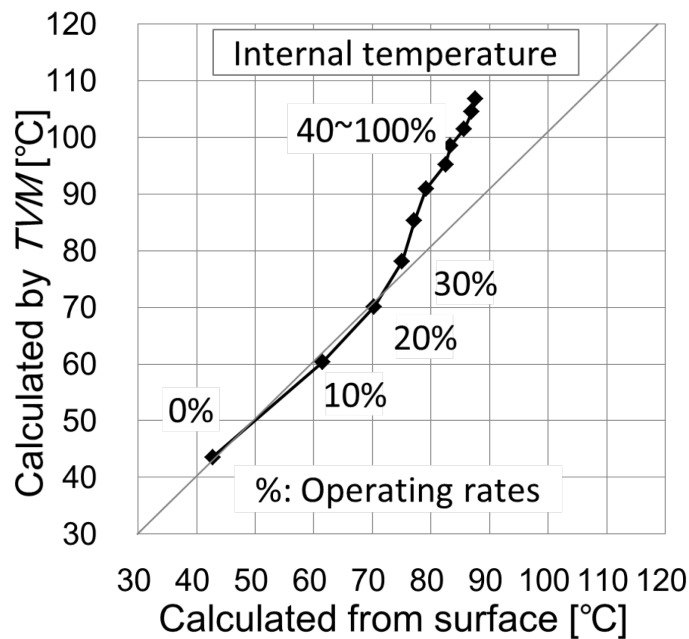


図 5.11 モニタによる測定温度と表面温度から算出した内部温度

5.7 キャリブレーション手法の有効性検証

チップ内に生じる製造バラツキの影響やチップ間に生じる製造バラツキの影響を確認するため、試作チップ評価には、図 5.1 に示したチップを 10 枚対象とし、各チップに搭載されている 6 箇所のモニタに対して測定を行った。図 5.12 に、チップ 10 枚を対象とした各チップの発熱回路が 0% の場合における各モニタの 1 つの RO (RO1) の測定周波数を示す。測定結果から確認できるように、測定された RO 周波数は、同一の測定条件にもかかわらず、同じ結果にならず大幅に異なることが確認できる。これらは、実際のプロセス変動の影響を含んだ RO 周波数であるため、RO 周波数からチップ内の温度と電圧を計算した際に生じる誤差の原因となる。

製造バラツキの影響を低減されるため、提案するキャリブレーション手法を適用する。初回測定として、キャリブレーションのための初回の温度と電圧はそれぞれ 60°C と 1.8V と仮定し、発熱回路の稼働率が 0% の RO 周波数を用いて行った。RO 周波数の比

は $\{F_i(60^\circ\text{C}, 1.8\text{V})/F_i^{typ}(60^\circ\text{C}, 1.8\text{V})\}$ for $i = 1, 2, 3$ がキャリブレーション処理に用いられる。 F_i は各チップの各モニタにおける RO の測定周波数であり、 F_i^{typ} は温度と電圧の条件が $(60^\circ\text{C}, 1.8\text{V})$ としてシミュレーションによって計算され、事前に決定された RO 周波数である。ここで、 60°C はシミュレーションにおける温度範囲の中間値であり、 1.8V は実験に用いた試作チップにおける供給電圧の標準値である。

キャリブレーション処理を行った後、チップ内の温度と電圧は、それぞれの発熱回路の稼働率での測定周波数の変動量から計算される。

図 5.13 は、各チップのモニタ 1 箇所における RO 周波数を用いてチップ内の温度と電圧を計算した結果であり、キャリブレーション手法によってプロセス変動の影響が低減されていることが示している。図 5.13(a) に温度測定結果を示す。初回の測定環境として、各チップの発熱回路の稼働率 0% の測定時の温度を 60°C とした。そのため、各チップおよび各モニタにおける初回の測定結果は同じ 60°C となる。発熱回路の稼働率が増加するにしたがってチップ内の測定温度は増加する。製造バラツキの影響は発熱回路にも現れるため、10 枚のチップによる測定温度の分散は、発熱回路のプロセス変動により、発熱量が異なることが原因と考えられる。温度と同様に、各チップの測定電圧を図 5.13(b) に示す。初回の測定環境を 1.8V と仮定したため、各チップおよび各モニタにおける初回の測定結果は同じ 1.8V となる。そして、発熱回路の稼働率が増加するにつれチップ内の電圧は減少することが確認できる。したがって、プロセス変動の影響を低減可能なキャリブレーション手法の効果は、試作チップ 10 枚を用いた実験により確認された。

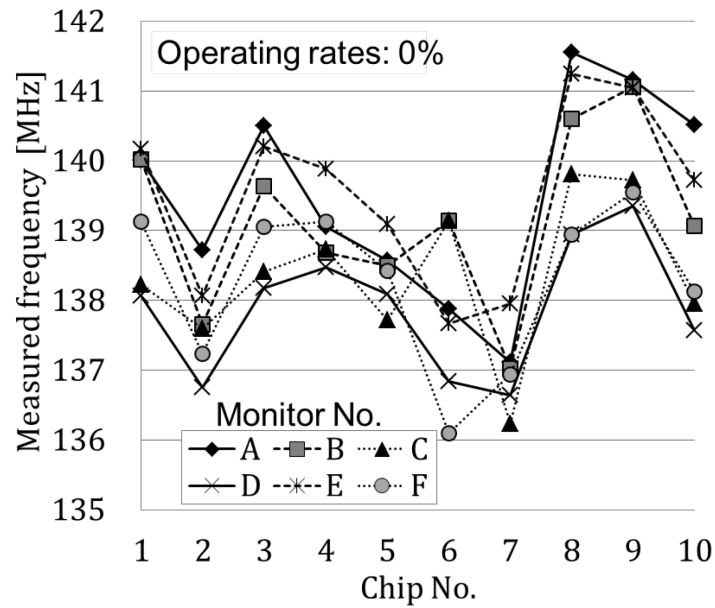
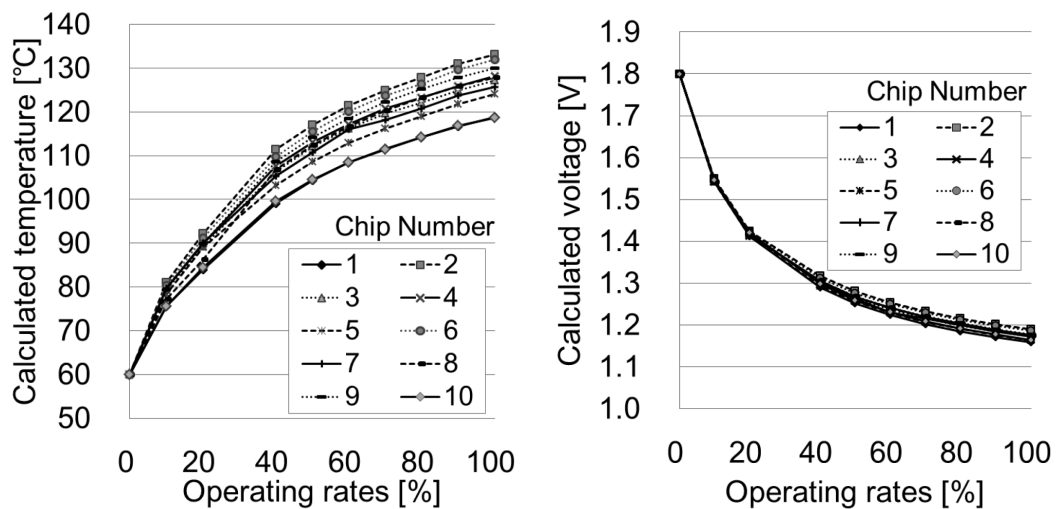


図 5.12 プロセス変動を含んだ測定周波数 (チップ 10 個)



(a) モニタによる測定温度

(b) モニタによる測定電圧

図 5.13 温度電圧測定結果 (チップ 10 個, モニタ 1 箇所)

5.8 測定時間

提案モニタが短時間可能であることを確認するため、測定時間とカウント値の関係を調査する。図 5.14(a)に、TVM の RO で測定されたカウント値を示す。

これは、室温（約 23℃）において、発熱回路の稼働率が 0%における測定結果である。

TVM の測定期間中に RO は発振し続けるため、時間の経過と共にカウント値が増加している。図 5.14(a)の 0-5 μ s の期間における RO のカウント値から算出した RO 周波数を図 5.14(b)に示す。周波数はそれぞれ 40ns の間隔（チップの動作周波数 25MHz）で RO カウント値から計算している。RO の発振時間が 1 μ s 等で短すぎる場合、蓄積されたカウント数が少なく、周波数に換算する際にカウント 1bit のズレによる誤差が大部分を占めるため、計算した周波数が安定しないことが確認できる。また、図 5.14(b)の結果より、RO 周波数を安定化させるためには 1 μ s 必要であり、RO の発振時間は 5 μ s 程度であれば十分であることが確認できる。これらの RO の発振を伴う測定はチップ内部で行われる。そして、RO カウント値から温度と電圧を算出する処理は、チップの外で行われる。したがって、本節の測定時間には、温度と電圧の計算時間は含まれていない。

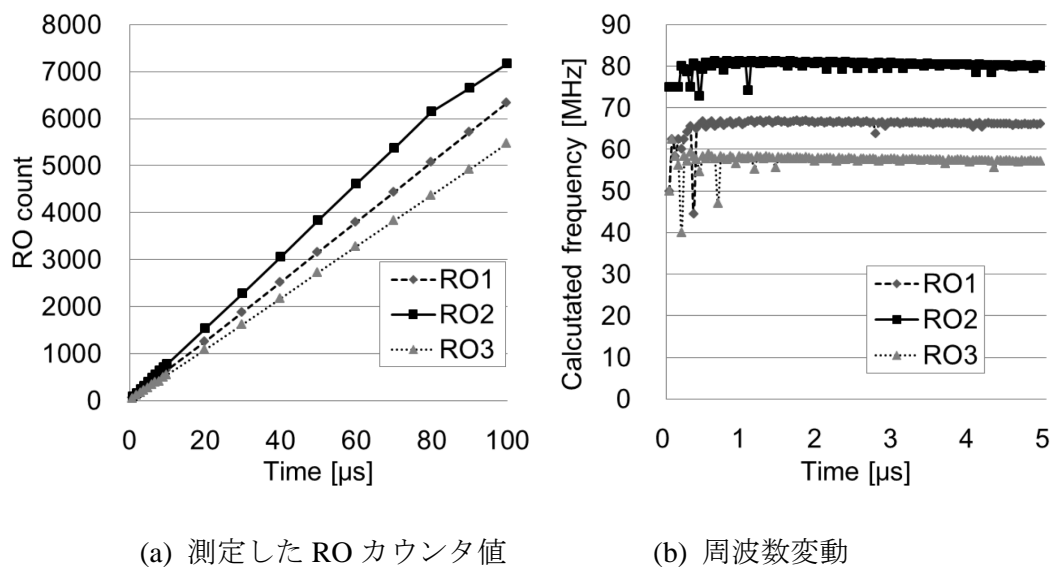


図 5.14 測定時間とカウント値の関係

第6章 結論

本論文では、フィールドテストのための RO を用いた温度電圧測定手法および完全デジタル設計による温度電圧モニタについて提案した。提案した測定手法は、RO の持つ周波数に対する温度と電圧の特性に対して重回帰分析を用いることで、チップ内の温度と電圧を同時に測定することができる。測定精度を向上させるための方法として、線形近似に用いる温度と電圧の区間を分割して階層的に計算する手法や、プロセス変動の影響を低減可能なキャリブレーション手法を提案し、プロセス変動が存在する場合でも高精度な測定が可能なことを示した。180nm, 90 nm, 45 nm CMOS テクノロジーを用いた SPICE シミュレーションによる評価実験において、180nmCMOS テクノロジーでは、温度測定精度が 3.21°C から 0.99°C に向上し、電圧測定精度が 11.77 mV から 4.17 mV に向上することを示した。また、測定精度を向上させるための方法として、モニタに用いる 3 種類 RO の最適な組合せを選択する手法を提案し、利用可能な様々な種類の RO から温度と電圧の計算精度が高くなる組合せを選択することが可能となることを示した。180nmCMOS テクノロジーを用いた評価実験では、選択された RO の組合せが、全組合せ中、1 位にほぼ近い温度と電圧の測定精度を達成可能なことを確認した。さらに、フィールド上でのモニタ運用中に生じる劣化現象に対応するため、耐劣化機能としてフィールドで発生する NBTI 劣化を抑止可能な RO を提案した。また、提案する温度電圧モニタは完全デジタル設計であるため、チップ上の様々な位置に配置可能である。そのため、ホットスポットなどの監視が容易であり、チップの信頼性向上に繋げることが可能である。180nmCMOS テクノロジーを用いた試作チップを用いて測定の妥当性を検証した。熱画像センサと電流計などによる外部測定値を利用して、チップ内の測定温度や測定電圧がいくつかの範囲で一致することを確認した。そして、モニタで測定した温度や電圧の測定結果に対する妥当性等の評価により、温度電圧モニタとして実現可能であることを実証した。

本研究で提案する温度電圧モニタを用いることにより，短時間測定可能でかつ小規模なモニタを実現でき，チップの高信頼化のみならず，医療用機器や IoT 機器の環境モニタ等，様々な応用に期待することができる．

謝辞

本研究は九州工業大学大学院情報工学府情報システム専攻電子情報工学分野において、梶原誠司教授の御指導の下で行ったものである。終始御指導を賜ったことにつきまして、心より深く感謝致します。さらに、本研究を遂行するにあたり、終始有益な御助言および御教示を頂きました同大学の佐藤康夫客員教授に心より感謝致します。同じく本研究を遂行するにあたり、御助言、御討論を頂いた同大学の温暁青教授、及び宮瀬紘平助教、ホルスト シュテファン(Stefan Holst)助教に、心より感謝致します。また、首都大学東京の三浦幸也教授には、本研究に関する様々な御助言を頂いたことにつきまして深く感謝致します。そして、本研究を通じて、様々な御意見と御教示、御支援を頂きました梶原研究室と温研究室の皆様心より深く感謝致します。

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ケイデンス株式会社およびメンターグラフィックス株式会社の協力で行われたものである。また、本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、ローム(株)および凸版印刷(株)の協力で行われたものである。

参考文献

- [1] International Electrotechnical Commission, "Functional safety of electrical / electronic / programmable electronic safety-related systems," IEC61508, Ed.2.0, 2010-4, <http://www.iec.ch/functionalsafety/>.
- [2] ISO26262 "Road vehicles -Functional safety-," First Edition, 2011-11.
- [3] N. Kanekawa, E. Ibe, T. Suga, and Y. Uematsu, Dependability in Electronic Systems: Mitigation of Hardware Failures, Soft Errors, and Electro-Magnetic Disturbances, Springer, ISBN 978-1-4419-6714-5, 2010.
- [4] H. Yi, T. Yoneda, I. Inoue, Y. Sato, S. Kajihara, and H. Fujiwara, "A failure prediction strategy for transistor aging," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 20, no. 11, pp. 1951-1959, Nov. 2012.
- [5] Y. Li, Y. M. Kim, E. Mintarno, D. S. Gardner, and S. Mitra, "Overcoming early-life failure and aging for robust systems," IEEE Design & Test of Computers, vol.26, no.6, pp.28-39 Nov/Dec. 2009.
- [6] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan, and Y. Cao, "Compact modeling and simulation of circuit reliability for 65-nm CMOS technology," IEEE Trans. on Device and Materials Reliability, Vol. 7, No. 4, pp. 509-517, Dec. 2007.
- [7] M. Nicolaidis, Y. Zorian, and D. K. Pradan, On-line Testing for VLSI, Springer, ISBN 978-0-7923-8132-7, 1998.
- [8] P. Franco, E. J. McCluskey, "On-line delay testing of digital circuits," Proc. IEEE VLSI Test Symp. pp. 167-173, Apr. 1994.
- [9] J. Roig, S. Evgueniy, and F. Morancho, "Thermal behavior of a superjunction MOSFET in a high-current conduction," IEEE Trans. Electron Devices, vol. 53, no. 7, pp. 1712-1720, July. 2006.

- [10] Y. Sato, S. Kajihara, T. Yoneda, K. Hatayama, M. Inoue, Y. Miura, S. Ohtake, T. Hasegawa, M. Sato, and K. Shimamura, "DART: Dependable VLSI Test Architecture and Its Implementation," Proc. IEEE Int'l Test Conf., pp. 1-10, Nov. 2012.
- [11] Y. Sato, S. Kajihara, Y. Miura, T. Yoneda, S. Ohtake, I. Inoue, and H. Fujiwara, "A Circuit Failure Prediction Mechanism (DART) for High Field Reliability," Proc. IEEE Int'l Conf. on ASIC, pp. 581-584, Oct. 2009.
- [12] S. Reda, R. J. Cochran, A. N. Nowroz, "Improved thermal tracking for processors using hard and soft sensor allocation techniques," IEEE Trans. on Computers, vol. 60, no. 6, pp. 814-851, 2011.
- [13] J. S. Lee, K. Skadron, and S. W. Chung, "Predictive temperature-aware DVFS," IEEE Trans. on Computers, vol. 59, no. 1, pp. 127-133, 2010.
- [14] A. Bakker and J. H. Huijsing, "Micropower CMOS temperature sensor with digital output," IEEE J. Solid-State Circuits, vol. 31, no. 7, pp. 933-937, Jul. 1996.
- [15] M. A. P. Pertijs, K. A. Makinwa, and J. H. Huijsing, "A CMOS smart temperature sensor with a 3σ inaccuracy of ± 0.1 C from -55 C to 125 C," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2805-2815, Dec. 2005.
- [16] P. Chen, C. C. Chen, C. C. Tsai, and W. F. Lu, "A time-to-digital-converter-based CMOS smart temperature sensor," IEEE J. Solid-State Circuits, vol. 40, no. 8, pp. 1642-1648, Aug. 2005.
- [17] Z. Abuhamdeh, V. D'Alessandro, R. Pico, D. Montrone, A. Crouch, and A. Tracy, "Separating Temperature Effects from Ring-Oscillator Readings to Measure True IR-Drop on a Chip," Proc. IEEE Int'l Test Conf., pp. 1-10, Oct. 2007.
- [18] G. M. Quenot, N. Paris, and B. Zavidovique, "A Temperature and Voltage Measurement Cell for VLSI Circuits," Proc. IEEE Euro ASIC, pp. 334-338, May. 1991.
- [19] M. Wirthshofer, Variation-aware adaptive voltage scaling for digital CMOS circuits, vol.

41. Springer, ISBN 978-94-007-6196-4, 2013.
- [20] A. Calimera, E. Macii, and M. Poncino, "NBTI-aware power gating for concurrent leakage and aging optimization." Proc. ACM/IEEE Int'l symp. on Low power electronics and design, pp.127-132, 2009.
- [21] Y. Miura, Y. Sato, Y. Miyake, and S. Kajihara, "On-chip Temperature and Voltage measurement for Field Testing," Proc. IEEE European Test Symp., p. 1, May. 2012.
- [22] Y. Miyake, Y. Sato, S. Kajihara, and Y. Miura, "Temperature and Voltage Estimation Using Ring-Oscillator-Based Monitor for Field Test," Proc. IEEE Asian Test Symp., pp.156-161, Nov. 2014.
- [23] L. T. Wang, C. W. Wu, X. Wen, VLSI test principles and architectures: design for testability, Academic Press, ISBN:978-0123705976, 2006.
- [24] R. J. Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd Edition, Wiley-IEEE Press, ISBN 978-0-470-88132-3, 2011.
- [25] I. A.K.M Mahfuzul and H. Onodera, "On-Chip Detection of Process Shift and Process Spread for Silicon Debugging and Model-Hardware Correlation," Proc. IEEE Asian Test Symp., pp. 350-354, Nov. 2012.
- [26] V. Huard and M. Denais, "Hole Trapping Effect on Methodology for DC and AC Negative Bias Temperature Instability Measurements in pMOS Transistors", Proc. IEEE Int'l Reliability Physics Symp., pp.40-45, April 2004.
- [27] G. Chen, K. Y. Chuah, M. F. Li, D. S. H. Chan, C. H. Ang, J. Z. Zheng, Y. Jin, and D. L. Kwong, "Dynamic NBTI of PMOS Transistors and its Impact on Device Lifetime", Proc. IEEE Int'l Reliability Physics Symp., pp.196-202, April 2003.
- [28] S. S. Tin, T. P. Chen, C. H. Ang, and L. Chan, "A New Waveform-Dependent Lifetime Model for Dynamic NBTI in PMOS Transistor", Proc. IEEE Int'l Reliability Physics Symp., pp.35-39, April 2004.

- [29] O. Khan and S. Kundu, "A Self-Adaptive System Architecture to Address Transistor Aging," Proc. IEEE Design Automation and Test in Europe, pp. 81-86, April 2009.
- [30] Y. Li, S. Makar, and S. Mitra, "CASP: Concurrent Autonomous Chip Self-Test Using Stored Test Patterns," Proc. ACM Design Automation and Test in Europe, pp. 885-89, Mar. 2008.
- [31] H. Inoue, Y. Li, and S. Mitra, "VAST: Virtualization-Assisted Concurrent Autonomous Self-Test," Proc. IEEE Int'l Test Conf., pp.1-10, Oct. 2008.
- [32] S. Remarsu and S. Kundu, "On Process Variation Tolerant Low Cost Thermal Sensor Design in 32nm CMOS Technology," Proc. ACM Great Lakes Symp. on VLSI, pp. 487-492, May. 2009.
- [33] S. Kaxiras and P. Xekalakis, "4T-Decay Sensors: A New Class of Small, Fast, Robust, and Low-Power, Temperature/Leakage Sensors," Proc. IEEE Int'l Symp. on Low Power Electronics and Design, pp. 108-113, Aug. 2004.
- [34] I. E. Sutherland, R. F. Sproull, and D. F. Harris, Logical effort: designing fast CMOS circuits, Morgan Kaufmann, ISBN 9781558605572, 1999.
- [35] G. Cappuccino and G. Cocorullo, "CMOS Sizing Rule for High Performance Long Interconnects," Proc. IEEE Design Automation and Test in Europe, p.817, Mar 2001.
- [36] M. Hashimoto and H. Onodera, "Increase in delay uncertainty by performance optimization," IEEE Int'l Symp. on Circuits and Systems, Vol. 5, pp. 379-382, May 2001.
- [37] M. Hashimoto, K. Fujimori, and H. Onodera, "Standard cell libraries with various driving strength cells for 0.13, 0.18 and 0.35 μm technologies," Proc. Asia and South Pacific Design Automation Conf., pp.589-590, Jan. 2003.
- [38] Y. Miyake, Y. Sato, S. Kajihara, and Y. Miura, "Temperature and Voltage Measurement for Field Test Using an Aging-Tolerant Monitor," IEEE Trans. on Very Large Scale Integration Systems, vol. 24, no. 11, pp. 3282-3295, Nov. 2016